

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Takuma ISHIDA, et al.

Application No.: New Patent Application

Filed: November 17, 2003

For: AGC CIRCUIT

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

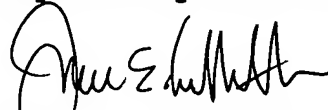
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-064980, filed March 11, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: November 17, 2003

JEL/spp
Attorney Docket No. L8462.03114
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月11日

出願番号

Application Number:

特願2003-064980

[ST.10/C]:

[JP2003-064980]

出願人

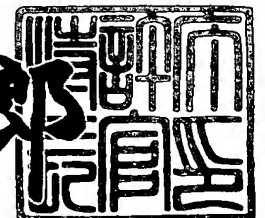
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030862

【書類名】 特許願

【整理番号】 2924040073

【あて先】 特許庁長官殿

【国際特許分類】 H03G 3/30

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内

【氏名】 石田 琢磨

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内

【氏名】 小林 拓

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内

【氏名】 藤井 圭一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100076174

【弁理士】

【氏名又は名称】 宮井 暎夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A G C 回路

【特許請求の範囲】

【請求項 1】 利得制御信号により制御される利得を有する可変利得増幅回路と、

前記可変利得増幅回路の出力信号を整流する整流回路と、

前記整流回路により整流された整流信号を予め任意に設定した電圧と比較する第 1 の電圧比較器と、

前記第 1 の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第 1 のアップ・ダウンカウンタと、

前記第 1 のアップ・ダウンカウンタのカウンタ値に応じた電圧を出力する第 1 の D / A 変換回路とを備え、

前記第 1 の D / A 変換回路から出力される電圧に対応した利得制御信号を前記可変利得増幅回路に供給するようにしたことを特徴とする A G C 回路。

【請求項 2】 第 1 のアップ・ダウンカウンタに第 1 のアップカウント動作用クロックと第 1 のダウンカウント動作用クロックとをそれぞれ独立して入力している請求項 1 記載の A G C 回路。

【請求項 3】 第 1 の電圧比較器と第 1 のアップ・ダウンカウンタとの間に第 1 のレジスタを設け、前記第 1 の電圧比較器の出力電圧を第 1 の基準クロックの周期で前記第 1 のレジスタに格納し、前記第 1 のレジスタに格納された電圧のレベルに応じて前記第 1 のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、前記第 1 の基準クロックの周期より短い期間内における前記第 1 の電圧比較器の出力電圧の変化を前記第 1 のアップ・ダウンカウンタへ伝えないようにした請求項 1 または 2 に記載の A G C 回路。

【請求項 4】 第 1 の電圧比較器と第 1 のアップ・ダウンカウンタとの間に第 1 のカウンタ動作制御回路を設け、前記第 1 のアップ・ダウンカウンタのカウンタ値に応じて前記第 1 の電圧比較器の出力電圧を前記第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 1 のアップ・ダウンカウンタのカウンタ値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に

制限するようにした請求項 1 または 2 に記載の A G C 回路。

【請求項 5】 第 1 のレジスタと第 1 のアップ・ダウンカウンタとの間に第 1 のカウント動作制御回路を設け、前記第 1 のアップ・ダウンカウンタのカウント値に応じて前記第 1 のレジスタの出力電圧を前記第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限するようにした請求項 3 に記載の A G C 回路。

【請求項 6】 第 1 のアップ・ダウンカウンタは、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限する機能を有する請求項 1, 2 または 3 に記載の A G C 回路。

【請求項 7】 利得制御信号により制御される利得を有する可変利得増幅回路と、

前記可変利得増幅回路の出力信号を整流する整流回路と、

前記整流回路により整流された整流信号を予め任意に設定した電圧と比較する第 1 の電圧比較器と、

前記第 1 の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第 1 のアップ・ダウンカウンタと、

前記第 1 のアップ・ダウンカウンタのカウント値に応じた電圧を出力する第 1 の D / A 変換回路と、

前記第 2 の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第 2 のアップ・ダウンカウンタと、

前記第 2 のアップ・ダウンカウンタのカウント値に応じた電圧を出力する第 2 の D / A 変換回路と、

前記第 1 の D / A 変換回路の出力電圧と前記第 2 の D / A 変換回路の出力電圧とを比較する第 2 の電圧比較器と、

前記第 2 の電圧比較器の出力電圧のレベルに基づき前記第 1 の D / A 変換回路の出力電圧と前記第 2 の D / A 変換回路の出力電圧のうちのいずれか高い方の出

力電圧を出力する切換回路とを備え、

前記切換回路から出力される電圧に対応した利得制御信号を前記可変利得増幅回路に供給するようにしたことを特徴とする A G C 回路。

【請求項 8】 第 1 のアップ・ダウンカウンタに第 1 のアップカウント動作クロックと第 1 のダウンカウント動作クロックとを独立してそれぞれ入力し

第 2 のアップ・ダウンカウンタに第 2 のアップカウント動作クロックと第 2 のダウンカウント動作クロックとをそれぞれ独立して入力している請求項 7 記載の A G C 回路。

【請求項 9】 第 1 の電圧比較器と第 1 のアップ・ダウンカウンタとの間に第 1 のレジスタを設け、前記第 1 の電圧比較器の出力電圧を第 1 の基準クロックの周期で前記第 1 のレジスタに格納し、前記第 1 のレジスタに格納された電圧のレベルに応じて前記第 1 のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、前記第 1 の基準クロックの周期より短い期間内における前記第 1 の電圧比較器の出力電圧の変化を前記第 1 のアップ・ダウンカウンタへ伝えないようにした請求項 7 または 8 に記載の A G C 回路。

【請求項 1 0】 第 2 の電圧比較器と第 2 のアップ・ダウンカウンタおよび切換回路との間に第 2 のレジスタを設け、前記第 2 の電圧比較器の出力電圧を第 2 の基準クロックの周期で前記第 2 のレジスタに格納し、前記第 2 のレジスタに格納された電圧のレベルに応じて前記第 2 のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、前記第 2 の基準クロックの周期より短い期間内における前記第 2 の電圧比較器の出力電圧の変化を前記第 2 のアップ・ダウンカウンタへ伝えないようにした請求項 9 記載の A G C 回路。

【請求項 1 1】 第 1 の電圧比較器と第 1 のアップ・ダウンカウンタとの間に第 1 のカウント動作制御回路を設け、前記第 1 のアップ・ダウンカウンタのカウント値に応じて前記第 1 の電圧比較器の出力電圧を前記第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限するようにし、

第 2 の電圧比較器と第 2 のアップ・ダウンカウンタとの間に第 2 のカウント動作制御回路を設け、前記第 2 のアップ・ダウンカウンタのカウント値に応じて前記第 2 の電圧比較器の出力電圧を前記第 2 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 2 のアップ・ダウンカウンタのカウント値を所定の第 2 の上限値と所定の第 2 の下限値の範囲内に制限するようにした請求項 7 または 8 に記載の A G C 回路。

【請求項 1 2】 第 1 のレジスタと第 1 のアップ・ダウンカウンタとの間に第 1 のカウント動作制御回路を設け、前記第 1 のアップ・ダウンカウンタのカウント値に応じて前記第 1 のレジスタの出力電圧を前記第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限するようにし、

第 2 のレジスタと第 2 のアップ・ダウンカウンタとの間に第 2 のカウント動作制御回路を設け、前記第 2 のアップ・ダウンカウンタのカウント値に応じて前記第 2 のレジスタの出力電圧を前記第 2 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、前記第 2 のアップ・ダウンカウンタのカウント値を所定の第 2 の上限値と所定の第 2 の下限値の範囲内に制限するようにした請求項 1 0 に記載の A G C 回路。

【請求項 1 3】 第 1 のアップ・ダウンカウンタが、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限する機能を有するとともに、

第 2 のアップ・ダウンカウンタが、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第 2 の上限値と所定の第 2 の下限値の範囲内に制限する機能を有する請求項 7 , 8 , 9 または 1 0 に記載の A G C 回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、通信システムまたは音声システムにおいて、出力信号の振幅が一定となるように入力信号の振幅に応じて可変利得増幅回路の利得を制御して入力信号の変動を抑制する A G C 回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来の A G C 回路としては特許第 2 9 0 1 8 9 9 号公報で提案されているものがある。

【 0 0 0 3 】

図 1 7 は上記特許第 2 9 0 1 8 9 9 号公報に記載された従来の A G C 回路を示すものである。図 1 7 において、A 1 は入力信号 V A が供給される信号入力端子である。3 1 は利得制御電圧 V 3 3 により制御される利得に応じて入力信号 V A を増幅または減衰して出力信号 V B を出力する可変利得増幅回路である。B 1 は可変利得増幅回路 3 1 の出力端子である。3 2 は可変利得増幅回路 3 1 の出力電圧を整流する整流回路である。3 3 は整流回路 3 2 により整流された電圧を積分して直流電圧にする積分回路である。3 4 は積分回路 3 3 を構成する抵抗器である。3 5 は積分回路 3 3 を構成するキャパシタである。3 6 は積分回路 3 3 から入力された直流電圧 V 3 1 と基準電圧 V 3 2 との差分に比例した電圧を利得制御電圧 V 3 3 として出力する直流増幅回路である。3 7 は直流増幅回路 3 6 の基準電圧入力端子であり、可変利得増幅回路 3 1 の利得は直流増幅回路 3 7 の出力電圧である利得制御電圧 V 3 3 により制御される。なお、図 1 7 では、直流増幅回路 3 6 の基準電圧回路および電圧制御スイッチ、A G C 回路のオン・オフを切り換える回路を省略している。

【 0 0 0 4 】

なお、上記の直流増幅回路 3 6 に与える基準電圧は、抵抗分割により作成している。そして、抵抗分割回路の出力部に M O S トランジスタを接続し、この M O S トランジスタのオン・オフにより基準電圧の値を切り替え、A G C 特性の変更を行っている。この M O S トランジスタを電圧制御スイッチと称している。

【0005】

上記のように構成された従来のAGC回路の動作を、以下に図面に基づいて説明する。

【0006】

入力端子A1から入力された入力信号VAは、可変利得増幅回路31により増幅または減衰され、出力信号VBとなって出力端子B1より出力される。出力信号VBは、整流回路32および積分回路33を介して、その大きさ（振幅）に応じた直流電圧V31に変換される。直流電圧V31は、さらに直流増幅回路36に入力される。

【0007】

直流増幅回路36は、直流電圧V31と基準電圧V32との差分に比例した電圧を利得制御電圧V33として出力する。この利得制御電圧V33が可変利得増幅回路31に与えられる。

【0008】

AGC回路は、入力信号VAの振幅が大きい場合には可変利得増幅回路31の利得を下げ、入力信号VAの振幅が小さい場合には可変利得増幅回路31の利得を上げるように設定されている。そのため、上記動作を繰り返すことで、出力信号VBはある一定の振幅レベルに収束する。このレベルは、直流電圧V31と基準電圧V32と利得制御信号電圧V33もしくは可変利得増幅回路31の利得との関係により予め定めることができる。

【0009】

この従来例では、AGCの応答時間、つまり、アタックタイム・リカバリータイムは、外付けのコンデンサを選択することで決めている。例えば、外付け容量が $0.47\mu\text{F}$ 時には、アタックタイムが約 1msec になり、リカバリータイムが約 1sec になる。

【0010】

【特許文献1】

特許第2901899号公報

【0011】

【発明が解決しようとする課題】

しかしながら、従来のAGC回路では、整流回路32によって整流された整流信号を積分することによって、可変利得増幅回路31の出力信号VBを直流電圧V31に変換しなければならない。

【0012】

ところが、そのためには上記積分回路33を構成する抵抗器34とキャパシタ35の容量値により決定される積分動作の時定数を、入力信号VAとしてのアナログ信号の最低信号周期に対して、十分に大きな時定数で積分する必要がある。その結果、一般的にキャパシタ35の静電容量値は、半導体集積回路には内蔵不可能な非常に大きな値になってしまうという課題を有していた。

【0013】

本発明は、キャパシタを用いた積分回路を必要とせず、集積回路に内蔵することも容易なAGC回路を提供することを目的とする。

【0014】

【課題を解決するための手段】

請求項1に記載の発明のAGC回路は、利得制御信号により制御される利得を有する可変利得増幅回路と、可変利得増幅回路の出力信号を整流する整流回路と、整流回路により整流された整流信号を予め任意に設定した電圧と比較する第1の電圧比較器と、第1の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第1のアップ・ダウンカウンタと、第1のアップ・ダウンカウンタのカウント値に応じた電圧を出力する第1のD/A変換回路とを備えている。

【0015】

そして、第1のD/A変換回路から出力される電圧に対応した利得制御信号を可変利得増幅回路に供給するようにしている。

【0016】

この構成によれば、可変利得増幅回路の出力信号を整流した整流信号を予め設定した任意の電圧と比較し、その比較結果に応じてアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、アップ・ダウンカウンタ

のカウンタ値に対応した利得制御信号を利得制御増幅器にフィードバックする。これによって、可変利得増幅回路への入力信号の振幅の変動にかかわらず可変利得増幅回路の出力信号の振幅が安定することになる。この動作では、アップ・ダウンカウンタのアップカウンタ動作およびダウンカウンタ動作がキャパシタの充放電動作と同様の働きをすることになる。したがって、キャパシタを用いた積分回路を必要とせず、集積回路に内蔵することも容易である。さらにアタックタイムおよびリカバリタイムを容易に調整することが可能な優れたAGC回路を提供することができる。

【0017】

請求項2に記載の発明のAGC回路は、請求項1記載のAGC回路において、第1のアップ・ダウンカウンタに第1のアップカウンタ動作クロックと第1のダウンカウンタ動作クロックとをそれぞれ独立して入力している。

【0018】

この構成によれば、第1のアップ・ダウンカウンタに第1のアップカウンタ動作クロックと第1のダウンカウンタ動作クロックを独立して入力しているので、アップ・ダウンカウンタのカウントアップ速度とカウントダウン速度を独立して変えることができる。したがって、請求項1に記載の発明と同様の効果が得られる上に、アタックタイムおよびリカバリタイムを独立して調整できる。

【0019】

請求項3に記載の発明のAGC回路は、請求項1または2に記載のAGC回路において、第1の電圧比較器と第1のアップ・ダウンカウンタとの間に第1のレジスタを設け、第1の電圧比較器の出力電圧を第1の基準クロックの周期で第1のレジスタに格納し、第1のレジスタに格納された電圧のレベルに応じて第1のアップ・ダウンカウンタのアップカウンタ動作とダウンカウンタ動作とを切り換え、第1の基準クロックの周期より短い期間内における第1の電圧比較器の出力電圧の変化を前記第1のアップ・ダウンカウンタへ伝えないようにしている。

【0020】

この構成によれば、第1のレジスタを設けたことにより、第1の基準クロックの周期より短い期間内における第1の電圧比較器の出力電圧の変化を第1のアップ

ブ・ダウンカウンタへ伝えないようにできる。したがって、請求項 1 または 2 に記載の発明と同様の効果が得られる上に、予め設定された入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、さらに高精度な A G C 回路を提供することができる。

【 0 0 2 1 】

請求項 4 に記載の発明の A G C 回路は、請求項 1 または 2 に記載の A G C 回路において、第 1 の電圧比較器と第 1 のアップ・ダウンカウンタとの間に第 1 のカウント動作制御回路を設け、第 1 のアップ・ダウンカウンタのカウント値に応じて第 1 の電圧比較器の出力電圧を第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限するようにしている。

【 0 0 2 2 】

この構成によれば、第 1 のカウント動作制御回路により第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限することができる。したがって、請求項 1 または 2 に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れた A G C 回路を提供することができる。

【 0 0 2 3 】

請求項 5 に記載の発明の A G C 回路は、請求項 3 に記載の A G C 回路において、第 1 のレジスタと第 1 のアップ・ダウンカウンタとの間に第 1 のカウント動作制御回路を設け、第 1 のアップ・ダウンカウンタのカウント値に応じて第 1 のレジスタの出力電圧を第 1 のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限するようにしている。

【 0 0 2 4 】

この構成によれば、第 1 のカウント動作制御回路により第 1 のアップ・ダウンカウンタのカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限することができる。したがって、請求項 3 に記載の発明と同様の効果が得られ

る上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0025】

請求項6に記載の発明のAGC回路は、請求項1，2または3に記載のAGC回路において、第1のアップ・ダウンカウンタは、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限する機能を有する。

【0026】

この構成によれば、アップ・ダウンカウンタにより第1のアップ・ダウンカウンタ自身のカウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限することができる。したがって、請求項1，2または請求項3に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0027】

請求項7に記載の発明のAGC回路は、利得制御信号により制御される利得を有する可変利得増幅回路と、可変利得増幅回路の出力信号を整流する整流回路と、整流回路により整流された整流信号を予め任意に設定した電圧と比較する第1の電圧比較器と、第1の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第1のアップ・ダウンカウンタと、第1のアップ・ダウンカウンタのカウント値に応じた電圧を出力する第1のD/A変換回路と、第2の電圧比較器の出力電圧のレベルに応じてアップカウント動作とダウンカウント動作とを切り換える第2のアップ・ダウンカウンタと、第2のアップ・ダウンカウンタのカウント値に応じた電圧を出力する第2のD/A変換回路と、第1のD/A変換回路の出力電圧と第2のD/A変換回路の出力電圧とを比較する第2の電圧比較器と、第2の電圧比較器の出力電圧のレベルに基づき

第1のD/A変換回路の出力電圧と第2のD/A変換回路の出力電圧のうちのいずれか高い方の出力電圧を出力する切換回路とを備えている。

【0028】

そして、前記切換回路から出力される電圧に対応した利得制御信号を前記可変利得増幅回路に供給するようにしている。

【0029】

この構成によれば、可変利得増幅回路の出力信号を整流した整流信号を予め設定した任意の電圧と比較し、その比較結果に応じてアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、アップ・ダウンカウンタのカウント値に対応した利得制御信号を利得制御増幅器にフィードバックする。これによって、可変利得増幅回路への入力信号の振幅の変動にかかわらず可変利得増幅回路の出力信号の振幅が安定することになる。この動作では、アップ・ダウンカウンタのアップカウント動作およびダウンカウント動作がキャパシタの充放電動作と同様の働きをすることになる。したがって、キャパシタを用いた積分回路を必要とせず、集積回路に内蔵することも容易である。さらに、アタックタイムおよびリカバリタイムを容易に調整することが可能な優れたAGC回路を提供することができる。また、第2のアップ・ダウンカウンタおよび第2のD/A変換回路、第2の電圧比較器および切換回路を設け、第1および第2のD/A変換回路の出力電圧を比較し、その比較結果に基づいて第2のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作を切り換えるとともに、切換回路で第1および第2のD/A変換回路の出力電圧のうち高い方を利得制御信号として利得制御増幅器にフィードバックする。これによって、入力信号の変化の状態によって、第1および第2のD/A変換回路の出力電圧を選択することができる。その結果、入力信号の変化の状態によって、利得制御信号の応答特性を切り換えることが可能となる。したがって、例えば音声信号処理に使用した場合、入力される連続した複数の信号に対して違和感の無い音声信号を提供できるさらに優れたAGC回路を提供することができる。

【0030】

請求項8に記載の発明のAGC回路は、請求項7記載のAGC回路において、

第1のアップ・ダウンカウンタに第1のアップカウント動作クロックと第1のダウンカウント動作クロックとを独立してそれぞれ入力し、第2のアップ・ダウンカウンタに第2のアップカウント動作クロックと第2のダウンカウント動作クロックとをそれぞれ独立して入力している。

【0031】

この構成によれば、第1のアップ・ダウンカウンタに第1のアップカウント動作クロックと第1のダウンカウント動作クロックを独立して入力しているので、アップ・ダウンカウンタのカウントアップ速度とカウントダウン速度を独立して変えることができる。したがって、請求項7に記載の発明と同様の効果が得られる上に、アタックタイムおよびリカバリタイムを独立して調整できる。

【0032】

請求項9に記載の発明のAGC回路は、請求項7または8に記載のAGC回路において、第1の電圧比較器と第1のアップ・ダウンカウンタとの間に第1のレジスタを設け、第1の電圧比較器の出力電圧を第1の基準クロックの周期で第1のレジスタに格納し、第1のレジスタに格納された電圧のレベルに応じて第1のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、第1の基準クロックの周期より短い期間内における第1の電圧比較器の出力電圧の変化を第1のアップ・ダウンカウンタへ伝えないようにしている。

【0033】

この構成によれば、第1のレジスタを設けたことにより、第1の基準クロックの周期より短い期間内における第1の電圧比較器の出力電圧の変化を第1のアップ・ダウンカウンタへ伝えないようにできる。したがって、請求項7または8に記載の発明と同様の効果が得られる上に、予め設定された入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、さらに高精度なAGC回路を提供することができる。

【0034】

請求項10に記載の発明のAGC回路は、請求項9に記載のAGC回路において、第2の電圧比較器と第2のアップ・ダウンカウンタおよび切換回路との間に第2のレジスタを設け、第2の電圧比較器の出力電圧を第2の基準クロックの周

期で第2のレジスタに格納し、第2のレジスタに格納された電圧のレベルに応じて第2のアップ・ダウンカウンタのアップカウント動作とダウンカウント動作とを切り換え、第2の基準クロックの周期より短い期間内における第2の電圧比較器の出力電圧の変化を第2のアップ・ダウンカウンタへ伝えないようにしている。

【0035】

この構成によれば、第2のレジスタを設けたことにより、第2の基準クロックの周期より短い期間内における第2の電圧比較器の出力電圧の変化を第2のアップ・ダウンカウンタのアップ・ダウン動作制御入力端子へ伝えないようにできる。したがって、請求項7または8に記載の発明と同様の効果が得られる上に、切換回路およびアップ・ダウンカウンタの双方の動作が安定し、可変利得増幅回路の動作が安定するため、さらに優れたAGC回路を提供することができる。

【0036】

請求項11に記載の発明のAGC回路は、請求項7または8に記載のAGC回路において、第1の電圧比較器と第1のアップ・ダウンカウンタとの間に第1のカウント動作制御回路を設け、第1のアップ・ダウンカウンタのカウント値に応じて第1の電圧比較器の出力電圧を第1のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第1のアップ・ダウンカウンタのカウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限するようにしている。また、第2の電圧比較器と第2のアップ・ダウンカウンタとの間に第2のカウント動作制御回路を設け、第2のアップ・ダウンカウンタのカウント値に応じて第2の電圧比較器の出力電圧を第2のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第2のアップ・ダウンカウンタのカウント値を所定の第2の上限値と所定の第2の下限値の範囲内に制限するようにしている。

【0037】

この構成によれば、第1のカウント動作制御回路により第1のアップ・ダウンカウンタのカウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限することができる。したがって、請求項7または8に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増

幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0038】

請求項12に記載の発明のAGC回路は、請求項10に記載のAGC回路において、第1のレジスタと第1のアップ・ダウンカウンタとの間に第1のカウント動作制御回路を設け、第1のアップ・ダウンカウンタのカウント値に応じて第1のレジスタの出力電圧を第1のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第1のアップ・ダウンカウンタのカウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限するようにしている。また、第2のレジスタと第2のアップ・ダウンカウンタとの間に第2のカウント動作制御回路を設け、第2のアップ・ダウンカウンタのカウント値に応じて第2のレジスタの出力電圧を第2のアップ・ダウンカウンタへ伝達するかまたは伝達を遮断することにより、第2のアップ・ダウンカウンタのカウント値を所定の第2の上限値と所定の第2の下限値の範囲内に制限するようにしている。

【0039】

この構成によれば、第1のカウント動作制御回路により第1のアップ・ダウンカウンタのカウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限することができる。したがって、請求項9に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0040】

請求項13に記載の発明のAGC回路は、請求項7, 8, 9または10に記載のAGC回路において、第1のアップ・ダウンカウンタが、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第1の上限値と所定の第1の下限値の範囲内に制限する機能を有する。また、第2のアップ・ダウンカウンタが、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、カウント値

に応じてダウンカウント動作を実行させるかまたは実行を停止させることにより、カウント値を所定の第 2 の上限値と所定の第 2 の下限値の範囲内に制限する機能を有する。

【0041】

この構成によれば、アップ・ダウンカウンタにより第 1 のアップ・ダウンカウンタ自身のカウント値を所定の第 1 の上限値と所定の第 1 の下限値の範囲内に制限することができる。したがって、請求項 7, 8 または請求項 9 に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れた AGC 回路を提供することができる。

【0042】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0043】

(第 1 の実施の形態：請求項 1, 2 に対応する)

図 1 は本発明の第 1 の実施の形態の AGC 回路の構成を示すブロック図である。図 1 において、A は入力信号 V A が供給される信号入力端子である。1 は利得制御電圧 V 8 により制御される利得に応じて入力信号 V A の電圧を増幅または減衰して出力信号 V B を出力する可変利得増幅回路である。B は可変利得増幅回路 1 の出力端子である。2 は可変利得増幅回路 1 の出力電圧を整流する整流回路である。これより以降、整流回路 2 は全波整流回路として説明するが、半波整流回路でもかまわない。3 は整流回路 2 で整流された整流信号（出力信号）V 1 を予め設定した任意の閾値電圧 V 2 と比較し、出力信号 V 1 が閾値電圧 V 2 よりも高い場合にはハイレベルの電圧 V 3 を出力し、低い場合にはローレベルの電圧 V 3 を出力する第 1 の電圧比較器である。4 は第 1 の電圧比較器 3 に閾値電圧 V 2 を入力する閾値電圧入力端子である。5 は第 1 のアップ・ダウンカウンタである。6 は第 1 の電圧比較器 3 の出力電圧 V 3 を制御信号 V 4 として入力し、アップ・ダウン動作を制御するためのアップ・ダウン動作制御入力端子である。7 はアップカウント動作クロック V 5 を入力する入力端子である。8 はダウンカウント

動作クロックV6を入力する入力端子である。9は第1のアップ・ダウンカウンタ5のカウンタ値Cに応じた直流電圧V7を出力する第1のD/A変換回路である。10は任意に設定した利得を有し、第1のD/A変換回路9の出力直流電圧V7を入力信号とし、利得制御電圧V8を出力する直流増幅回路である。

【0044】

なお、図1において、整流回路2、電圧比較器3、アップ・ダウンカウンタ5、D/A変換回路9および直流増幅回路10は、利得制御増幅回路1の出力信号VBのアナログ信号レベルを検出するアナログ信号検出回路を構成している。この実施の形態では、アナログ信号レベル検出回路の出力信号に応じて、利得制御増幅回路1の利得を制御することで、AGC回路が構成されているが、アナログ信号レベル検出回路は、AGC回路に適用するにとどまらず、種々の応用が考えられる。

【0045】

なお、上記構成において、全波整流回路に代えて半波整流回路を使用する場合、基本的には単純に置き換えを行えばよい。ただし、同じ応答性を持たせるには電圧比較器のスレッシュホールドレベルやアップ・ダウンカウンタのクロック周波数を調整することが必要となる。

【0046】

以上のように構成された本発明の第1の実施の形態について、図2を参照しながら、以下にその動作を説明する。

【0047】

入力信号VAは、可変利得増幅回路1により増幅または減衰されて、図2(a)の波形で示すような出力信号VBとなる。この出力信号VBは、整流回路2により整流され、図2(b)の波形で示すような出力信号V1となる。

【0048】

つぎに、整流回路2の出力信号V1は、電圧比較器3に入力される。電圧比較器3では、整流回路2の出力信号V1と閾値電圧V2とを比較し、図2(c)の波形で示すように、閾値電圧V2よりも高い場合にはハイレベルの電圧を、低い場合にはローレベルの電圧を出力信号V3として出力する。

【0049】

出力信号V3は、次段のアップ・ダウンカウンタ5のアップ・ダウン動作制御入力端子6に入力され、アップ・ダウンカウンタ5のアップカウント動作とダウンカウント動作の制御信号V4となる。

【0050】

アップ・ダウンカウンタ5は、制御信号（電圧）V4がハイレベルの期間T1では、図2（d）の波形で示すアップカウント動作クロックV5で設定されたアップカウント周波数に従ってアップカウント動作を行う。また、制御信号（電圧）V4がローレベルの期間T2では、図2（e）の波形で示すダウンカウント動作クロックV6で設定されたダウンカウント周波数に従ってダウンカウント動作を行う。

【0051】

アップ・ダウンカウンタ5によって計数されたカウント値Cは、D/A変換回路9に入力される。D/A変換回路9は、アップ・ダウンカウンタ5のカウント値Cに応じた図2（f）の波形で示すような直流電圧V7を出力する。この直流電圧V7は、直流増幅回路10によって任意の大きさに変換され、図2（g）の波形で示すような可変利得増幅回路1の利得制御電圧V8となる。利得制御電圧V8により可変利得増幅回路1の利得が変化し、入力信号VAは増幅または減衰される。本実施の形態においては、カウント値が大きくなるにつれて利得制御電圧V8が高くなり、可変利得増幅回路1の利得は下がり、カウント値が小さくなるにつれて利得制御電圧V8が低くなり、可変利得増幅回路1の利得は上がるものとする。

【0052】

ここで、この実施の形態におけるアタックタイムおよびリカバリータイムの一例について説明する。例えば、アップカウント動作周波数が250kHzの場合では、アタックタイムが1msとなる。また、ダウンカウント動作周波数が250Hzの場合では、リカバリータイムが1secとなる。ロジック回路を用いてアップカウント動作周波数およびダウンカウント動作周波数を選択することができるようにしてもよい。

【 0 0 5 3 】

図 3 (a) , (b) , (c) には、入力信号 V A と制御電圧 V 8 と出力信号 V B との波形を図 2 よりもマクロ的に示している。

【 0 0 5 4 】

以上の動作は、アップカウントによる入力信号 V A の減衰とダウンカウントによる入力信号 V A の増幅とが釣り合う時点まで繰り返され、出力電圧 V B はある一定の振幅レベルに収束する。

【 0 0 5 5 】

このような構成によれば、キャパシタを用いた積分回路を必要とせずに、出力信号の振幅が一定となるように入力信号 V A の振幅に応じて可変利得増幅回路 1 の利得を制御し、入力信号 V A の振幅変動を抑制する A G C 回路を提供することができる。したがって、A G C 回路を集積回路に内蔵することも容易である。

【 0 0 5 6 】

また、電圧比較器 3 の閾値電圧 V 2 の値やアップ・ダウンカウンタ 5 のアップカウント動作クロック V 5 およびダウンカウント用動作クロック V 6 の周波数、カウント値 C に応じた利得制御電圧の変化幅を任意に設定することで、出力電圧が一定の振幅レベルに収束するまでの時間、すなわち、アタックタイムおよびリカバリータイムを容易に調整することができる。また、アップカウント動作クロック V 5 およびダウンカウント用動作クロック V 6 を独立してアップ・ダウンカウンタ 5 に入力する構成を採用したので、アタックタイムとリカバリータイムを独立して調整できる。

【 0 0 5 7 】

上記において、D / A 変換回路 9 の出力電圧 V 7 は直流増幅回路 1 0 に入力され、直流増幅回路 1 0 の出力電圧を利得制御電圧 V 8 として使用したが、D / A 変換回路 9 の出力電圧 V 7 を直接利得制御信号として使用しても、本発明の A G C 回路を実現できることは明らかである。

【 0 0 5 8 】

また、上記において、可変利得増幅回路 1 の利得制御は電圧方式と仮定して説明したが、可変利得増幅回路 1 の利得制御方式（電流型または電圧型）によって

D/A変換回路9および直流増幅回路10の出力の形式または組み合わせを変更することでも、本発明のAGC回路を実現可能である。したがって、利得制御信号というのは、利得制御電圧だけでなく、利得制御電流のことも意味する。

【0059】

以上の点は後述する実施の形態についても言える。

【0060】

(第2の実施の形態：請求項3に対応する)

図4は本発明の第2の実施の形態のAGC回路の構成を示すブロック図である。図4において、図1に示す本発明の第1の実施の形態のAGC回路と同じ構成要素には同一の符号を付すことにより説明を省略し、図1に示すAGC回路に対して新たに追加されている要素のみを説明する。11は第1の電圧比較器3とアップ・ダウンカウンタ5のアップ・ダウン動作制御入力端子6との間に挿入されたレジスタとしてのフリップフロップである。このフリップフロップ11は、第1の電圧比較器3により出力される信号の極性、すなわち電圧レベル（ハイレベルまたはローレベル）を基準クロックV9の周期で格納し、基準クロックV9の周期で格納した極性を第1のアップ・ダウンカウンタ5のアップ・ダウン動作制御入力端子6に伝える。12は上記フリップフロップ11に基準クロックV9を入力する基準クロック入力端子である。

【0061】

なお、図4において、整流回路2、電圧比較器3、フリップフロップ11、アップ・ダウンカウンタ5、D/A変換回路9および直流増幅回路10は、利得制御増幅回路1の出力信号VBのアナログ信号レベルを検出するアナログ信号検出回路を構成している。この実施の形態では、アナログ信号レベル検出回路の出力信号に応じて、利得制御増幅回路1の利得を制御することで、AGC回路が構成されているが、アナログ信号レベル検出回路は、AGC回路に適用するにとどまらず、種々の応用が考えられる。

【0062】

本実施の形態の特徴として、上記電圧比較器3の出力がチャタリングや外来ノイズ等により基準クロックV9の周期より短い期間内に変化しても、上記アップ

・ダウンカウンタ5が本来行うべきカウント動作には影響を及ぼさない。したがって、アップ・ダウンカウンタ5のカウント動作が安定し、可変利得増幅回路1の動作が安定する。そのため、さらに優れたAGC回路を提供することができる。

【0063】

図5は、第2の実施の形態のAGC回路の動作を示す各部の波形図である。同図(a)は整流回路3の出力信号V1の波形を示し、同図(b)は電圧比較器3の出力電圧の波形を示し、同図(c)はフリップフロップ11に入力される基準クロックV9の波形を示し、同図(d)はアップ・ダウンカウンタ5に入力される制御信号V4の波形を示し、同図(e)はアップ・ダウンカウンタ5に入力されるアップカウント動作クロックV5の波形を示し、同図(f)はアップ・ダウンカウンタ5に入力されるダウンカウント動作クロックV6の波形を示し、同図(g)はD/A変換回路9の出力電圧V7の波形を示し、同図(h)は可変利得増幅回路1に入力される利得制御電圧V8の波形を示している。図2の波形図との違いは、電圧比較器3の出力電圧を基準クロックV9に同期してフリップフロップ11が格納し、フリップフロップ11から制御信号V4を出力している点である。それ以外は、図2と同様である。

【0064】

(第3の実施の形態：請求項4，5，6に対応する)

図6は本発明の第3の実施の形態のAGC回路の構成を示すブロック図である。図6において、図1に示す本発明の第1の実施の形態のAGC回路と同じ構成要素には同一の符号を付すことにより説明を省略し、図1に示すAGC回路に対し新たに追加されている要素のみを説明する。13は上記第1のアップ・ダウンカウンタ5によって計数されたカウント値Cに応じて、上記第1の電圧比較器3により出力されるハイレベルもしくはローレベルの電圧V3をアップ・ダウン動作制御入力端子6へ伝達するか、またはハイレベルもしくはローレベルの電圧V3の伝達を遮断するかを制御する第1のカウント動作制御回路である。

【0065】

具体的には、この第1のカウント動作制御回路13は、カウント値Cが所定の

上限値より小さいときには、ハイレベルの電圧V3をアップ・ダウン動作制御入力端子6へ伝達するが、カウント値Cが所定の上限値に達するとハイレベルの電圧V3を遮断してアップ・ダウン動作制御入力端子6へ伝達しないようにする。これによって、アップ・ダウンカウンタ5のアップカウント動作が停止する。なお、カウント値Cが所定の上限値に達しても、ローレベルの電圧V3は伝達される。これは、アップ・ダウンカウンタ5にダウンカウントを行わせ、カウント値Cを所定の上限値から減少させることができるようにするためである。

【0066】

また、この第1のカウント動作制御回路13は、カウント値Cが所定の下限値より大きいときには、ローレベルの電圧V3をアップ・ダウン動作制御入力端子6へ伝達するが、カウント値Cが所定の下限値に達するとローレベルの電圧V3を遮断してアップ・ダウン動作制御入力端子6へ伝達しないようにする。これによって、アップ・ダウンカウンタ5のダウンカウント動作が停止する。なお、カウント値Cが所定の下限値に達しても、ハイレベルの電圧V3は伝達される。これは、アップ・ダウンカウンタ5にアップカウントを行わせ、カウント値Cを所定の下限値から増加させることができるようにするためである。

【0067】

以上のような第1のカウント動作制御回路13の制御動作により、アップ・ダウンカウンタ5は、カウント値Cが所定の下限値から所定の上限値の範囲（下限値および上限値を含む）内の値に制限される。なお、所定の上限値は、アップ・ダウンカウンタ5の最大カウント値またはそれより小さい任意の値に設定される。また、所定の下限値は、最小カウント値（例えば、零）またはそれより大きい任意の値に設定される。当然、上限値は下限値より大きい値である。

【0068】

なお、図6において、整流回路2、電圧比較器3、カウント動作制御回路13、アップ・ダウンカウンタ5、D/A変換回路9および直流増幅回路10は、利得制御増幅回路1の出力信号VBのアナログ信号レベルを検出するアナログ信号検出回路を構成している。この実施の形態では、アナログ信号レベル検出回路の出力信号に応じて、利得制御増幅回路1の利得を制御することで、AGC回路が

構成されているが、アナログ信号レベル検出回路は、A G C回路に適用するにとどまらず、種々の応用が考えられる。

【0069】

もし、アップ・ダウンカウンタ5のカウント動作を停止させる回路がない場合には、以下のような問題が生じる。すなわち、入力信号V Aに応じてカウント動作を行いカウント値Cがアップ・ダウンカウンタ5の構造によって決まる最大カウント値または最小カウント値に達した際に、さらに同方向の計数を行うと最大カウント値は最小カウント値に変化し、最小カウント値は最大カウント値に変化する。その結果、利得制御電圧V 8が急激に変化し、この変化に追従して可変利得増幅回路1の出力も急激に変化してしまうという問題が生じる。

【0070】

本実施の形態の特徴として、カウント値Cの上限値と下限値を任意に定め、上限値に達した場合にはアップカウント動作を停止し、下限値に達した場合にはダウンカウント動作を停止することによって、上記問題を防ぐことができる。また、カウント値Cの上限値および下限値を、アップ・ダウンカウンタ5の構造によって決まる最大カウント値および最小カウント値の範囲内で任意に定めることができるので、可変利得増幅回路1の利得変化幅を、任意に設定することのできるさらに優れたA G C回路を提供することができる。

【0071】

図7は、第3の実施の形態のA G C回路の動作を示す各部の波形図である。同図(a)は整流回路3の出力信号V 1の波形を示し、同図(b)は電圧比較器3の出力信号V 3の波形を示し、同図(c)はアップ・ダウンカウンタ5に入力されるアップカウント動作クロックV 5の波形を示し、同図(d)はアップ・ダウンカウンタ5に入力されるダウンカウント動作クロックV 6の波形を示し、同図(e)はD/A変換回路9の出力電圧V 7の波形を示し、同図(f)は可変利得増幅回路1に入力される利得制御電圧V 8の波形を示している。図5の波形図において、左側半分は、整流回路2の出力信号V 1のレベルが高く、カウント値Cが増加を続け、上限値に達したところでアップカウント動作が停止し、D/A変換回路9の出力電圧V 7が増減を停止し、最大値で安定しているときの各部

の波形を示している。また、同図の右半分は、整流回路 2 の出力信号 V 1 のレベルが低く、カウント値 C が減少を続け、下限値に達したところでダウンカウント動作が停止し、D/A 変換回路 9 の出力電圧 V 7 が減少を停止し、最小値で安定しているときの各部の波形を示している。

【0072】

なお、上記の第 3 の実施の形態では、アップ・ダウンカウンタ 5 とは別にカウント動作制御回路 13 を設けたが、カウント動作制御回路 13 に相当する機能をアップ・ダウンカウンタ 5 に内蔵させてもよい。つまり、カウント値に応じてアップカウント動作を実行させるかまたは実行を停止させるとともに、ダウンカウント動作を実行させるか、または実行を停止させることにより、カウント値を所定の上限値と所定の下限値の範囲内に制限する機能を第 1 のアップ・ダウンカウンタ 5 に内蔵させてもよい。具体的には、第 1 のアップ・ダウンカウンタ 5 が、カウント値を所定の上限値と所定の下限値の範囲とそれぞれ比較し、比較結果に基づいてアップカウント動作およびダウンカウント動作を制御することにより、カウント値を所定の上限値と所定の下限値の範囲内に制限するような動作を行うように構成する。

【0073】

図 8 にカウント動作制御回路 13 およびアップ・ダウンカウンタ 5 の部分の具体的な回路構成の一例を示す。図 8 において、5 A, 5 B は T-フリップフロップ（もしくは D-フリップフロップ）、5 C ~ 5 F は AND 回路、5 G, 5 H は OR 回路である。13 A, 13 B は AND 回路、13 C はインバータ回路、13 D は下限値のときにローレベル信号が入力される端子、13 E は上限値のときにローレベルの信号が入力される端子である。この回路では、電圧比較器 3 の出力信号とクロックとの論理積がアップ・ダウンカウンタ 5 のクロック入力となり、カウント値が上限値または下限値に達すると、上昇方向または下降方向のクロックを通さない構成となっている。

【0074】

また、このカウント動作制御回路 13 の構成もしくは、カウント動作制御回路 13 に相当する回路をアップ・ダウンカウンタ 5 に内蔵させる構成は、第 2 の実

施の形態のAGC回路の構成に追加してもよい。要は第2の実施の形態の構成と第3の実施の形態の構成とを組み合わせることも容易である。なお、カウント動作制御回路13を第2の実施の形態の構成に追加する場合には、図9に示すように、フリップフロップ11とアップ・ダウンカウンタ5との間にカウント動作制御回路13が設けられる。

【0075】

(第4の実施の形態：請求項7～12に対応する)

図10は本発明の第4の実施の形態のAGC回路の構成を示すブロック図である。図10において、図1に示す本発明の第1の実施の形態のAGC回路と同じ構成要素には同一の符号を付すことにより説明を省略し、図1に示すAGC回路に対して新たに追加されている要素のみを説明する。14は第2のアップ・ダウンカウンタである。15は制御信号V10を入力することにより、上記第2のアップ・ダウンカウンタ14の計数方向を制御するためのアップ・ダウン動作制御入力端子である。16は上記第2のアップ・ダウンカウンタ14にアップカウント動作クロックV11を入力するアップカウント動作クロック入力端子である。17は上記第2のアップ・ダウンカウンタ14にダウンカウント動作クロックV12を入力するダウンカウント動作クロック入力端子である。18は上記第2のアップ・ダウンカウンタ14のカウント値Dに応じた直流電圧V13を出力する第2のD/A変換回路である。19は上記第1のD/A変換回路9の出力電圧V7と上記第2のD/A変換回路18の出力電圧V13とを比較する第2の電圧比較器である。この第2の電圧比較器19は、電圧V7、V9の比較結果に応じてハイレベルまたはローレベルの電圧V14を出力し、上記第2のアップ・ダウンカウンタ14のアップ・ダウン動作を制御する。20は電圧V14を入力とし、電圧V14のレベルに応じて上記第1のD/A変換回路9の出力電圧V7と上記第2のD/A変換回路18の出力電圧V13のうちのいずれか高い方の出力電圧を直流増幅回路10に伝えるための切換回路である。直流増幅回路10は、電圧V7、V13のうち高い方を増幅して上記利得制御電圧V8として出力する。

【0076】

なお、図10において、整流回路2、電圧比較器3、アップ・ダウンカウンタ5、D/A変換回路9および直流増幅回路10、アップ・ダウンカウンタ14、D/A変換回路18、電圧比較器20、切換回路20は、利得制御増幅回路1の出力信号VBのアナログ信号レベルを検出するアナログ信号検出回路を構成している。この実施の形態では、アナログ信号レベル検出回路の出力信号に応じて、利得制御増幅回路1の利得を制御することで、AGC回路が構成されているが、アナログ信号レベル検出回路は、AGC回路に適用するにとどまらず、種々の応用が考えられる。

【0077】

以上のように構成された本発明の第5の実施の形態について、以下にその動作を説明する。

【0078】

D/A変換回路9までの動作は、図1に示した本発明の第1の実施の形態のAGC回路の動作説明で記載したものと同様である。アップ・ダウンカウンタ14は、アップ・ダウン動作制御入力端子15に入力される制御信号（電圧）V10、すなわち、第2の電圧比較器19の出力電圧V14がハイレベルの期間ではアップカウント動作クロックV11で設定されたアップカウント周波数に従ってアップカウント動作を行い、出力信号（電圧）V10がローレベルの期間ではダウンカウント動作クロックV12で設定されたダウンカウント周波数に従ってダウンカウント動作を行う。アップ・ダウンカウンタ14によって計数されたカウント値DはD/A変換回路18に入力される。D/A変換回路18はカウント値Dに応じた直流電圧V13を出力する。

【0079】

直流電圧V7およびV13は、切換回路20によっていずれか高い方の電圧が直流増幅回路10に伝えられ、直流増幅回路10によって任意の大きさに変換され、可変利得増幅回路1の利得制御電圧V8となる。

【0080】

さらに、直流電圧V7およびV13は、電圧比較器19により比較される。電圧比較器19は、直流電圧V7が直流電圧V13より高い場合にはハイレベルの

電圧V14を、その他の場合にはローレベルの電圧V14を出力し、この出力電圧V14がアップ・ダウンカウンタ14のアップ・ダウン動作を制御する制御信号V10となり、また、上記したように切換回路20に制御信号として与えられる。切換回路20の最も簡単な構成例としては、トランスファークロスをを用い、電圧比較器19の出力がハイレベルなら直流電圧V7のゲートを開き、ローレベルなら直流電圧V13のゲートを開き、各信号を通すようなものが考えられる。

【0081】

そして、利得制御電圧V8により可変利得増幅回路1の利得が変化し、入力信号VAは増幅または減衰される。入力信号VAは第1または第2のアップ・ダウンカウンタ5または14による増幅と減衰とが釣り合う時点まで上記動作を繰り返す、出力電圧VBはある一定の振幅レベルに収束する。

【0082】

ここで、図1に示す本発明の第1の実施の形態のAGC回路を音声信号処理に使用したと仮定する。出力信号（電圧）VBがある一定の振幅レベルで安定している状態から、入力信号VAがそれより小さくなった場合、この時出力信号VBもそれに追従して小さくなる。ところが、ダウンカウント動作クロックV6の周波数が高いとアップ・ダウンカウンタ5がダウンカウントしてくることにより、利得制御電圧V8が小さくなって可変利得増幅器1の利得を上げ、一定の振幅レベルに戻る時間はクロックV6の周波数に追従して早くなってしまう。実際の音声に置き換えると、ある振幅を持った音Eに続き、音Eに対して小さな振幅の音Fが入力された場合、瞬時に同じ大きさの音にしてしまうため、臨場感や遠近感のない違和感のある音声信号となってしまうという第1の問題が生じる。

【0083】

この問題を回避するために、ダウンカウント動作クロックV6の周波数を低くすると、今度は、ある振幅を持った音EがAGC回路によって一定の振幅で安定しているところに、破裂音のような短時間に急峻な大きな音Gが入力された場合に以下のような問題が生じる。すなわち、急峻な大きな音Gによってアップ・ダウンカウンタ5はアップカウント動作をし、急峻な大きな音Gを減衰させようとするため、音Gに続いて入力される音Eもそれに追従して小さくなってしま

。急峻な大きな音Gが無くなった後は音Eを急峻な大きな音Gが入力される以前の振幅の音に戻そうとアップ・ダウンカウンタ5がダウンカウント動作をするが、ダウンカウント動作クロックV6の周波数は低く設定されているため、一定の振幅レベルに戻すまでの時間が長くなり、音Eが聞こえない、または聞き取ることが困難な状態の時間が長くなってしまうという第2の問題が生じる。

【0084】

図10に示す本発明の実施の形態によれば、例えば、アップ・ダウンカウンタ14のアップカウント動作クロックV11およびダウンカウント動作クロックV12の周波数を、アップ・ダウンカウンタ5のアップカウント動作クロックV5およびダウンカウント動作クロックV6の周波数に対し、それぞれ低くすると、ある振幅を持った音Eに続き、音Eに対して小さな音Fが入力された場合、以下のような動作となる。すなわち、小さな音Fが入力される以前はAGC回路により音Eはある一定の振幅で安定し出力されているので、D/A変換回路9の出力電圧V7とD/A変換回路18の出力電圧V13はほぼ同電位でつりあっているが、小さな音Fが入力されるとアップ・ダウンカウンタ5はダウンカウント動作を行い、D/A変換回路9の出力電圧V7を下げようとする。出力電圧V7がD/A変換回路18の出力電圧V13より低くなると、電圧比較器19の出力電圧V14がハイレベルからローレベルに反転し、アップ・ダウンカウンタ14がダウンカウント動作を行いD/A変換回路18の出力電圧V13を下げようとする。ところが、アップ・ダウンカウンタ14のダウンカウント動作クロックV12の周波数がアップ・ダウンカウンタ5のダウンカウント動作クロックV6の周波数よりも低いため、出力電圧V13の下がるスピードは遅くなる。このため、出力電圧V13の方が出力電圧V7より高い状態が保たれ、切換回路20により利得制御電圧V8は出力電圧V13より生成されることになり、音FがAGC回路により一定の振幅に安定するまでの時間が遅くなり、臨場感や遠近感を損なわない違和感のない音声信号を出力することができる。

【0085】

なお、アップ・ダウンカウンタ14のアップカウント動作クロックV11およびダウンカウント動作クロックV12の周波数と、アップ・ダウンカウンタ

5のアップカウント動作用クロックV5およびダウンカウント動作用クロックV6の周波数との関係が上記と逆の場合にも、本発明は成立する。

【0086】

また、ある振幅を持った音EがAGC回路によって一定の振幅で安定しているところに、破裂音のような短時間に急峻な大きな音Gが入力された場合、以下のような動作となる。すなわち、急峻な大きな音Gによってアップ・ダウンカウンタ5はアップカウント動作を行い、D/A変換回路9の出力電圧V7が高くなり、電圧比較器19によりアップ・ダウンカウンタ14もアップカウント動作を行い、D/A変換回路18の出力電圧V13も高くなるが、アップ・ダウンカウンタ5のアップカウント動作用クロックV5の周波数がアップ・ダウンカウンタ14のアップカウント動作用クロックV11の周波数よりも高いため、出力電圧V7は出力電圧V13よりも早く高くなり、可変利得増幅回路1の利得は出力電圧V7より生成される利得制御電圧V8に追従する。音Gが無くなった後、音Eを急峻な大きな音Gが入力される以前の振幅の音に戻そうとする動作時は、アップ・ダウンカウンタ5はダウンカウント動作を行うが、出力電圧V7は出力電圧V13よりも高い状態であるため、アップ・ダウンカウンタ14は、急峻な大きな音Gの入力に伴ってアップカウント動作を継続する。その後、電圧V7、V13の関係が逆転し、アップ・ダウンカウンタ14がダウンカウントを始める。

【0087】

出力電圧V7が出力電圧V13より高い間、音Eの一定の振幅に戻るスピードはアップ・ダウンカウンタ5のダウンカウント動作用クロックV6の周波数に追従するため、上記のような問題を防ぐことができる。

【0088】

上記において、第1および第2の問題を防ぐために第1および第2のアップ・ダウンカウンタ5、14のカウント動作用クロックV5、V6、V11、V12の周波数をそれぞれ異ならせたが、カウント値に対する第1および第2のD/A変換回路9、18の変化幅を異ならせること、例えば第2のD/A変換回路18の変化幅を第1のD/A変換回路9の変化幅より小さくすることでも、同様の効果が得られる。

【0089】

図11は、第4の実施の形態のAGC回路の動作を示す各部の波形図である。同図(a)は電圧比較器3の出力信号V3の波形を示し、同図(b)はアップ・ダウンカウンタ5に入力されるアップカウント動作クロックV5の波形を示し、同図(c)はアップ・ダウンカウンタ5に入力されるダウンカウント動作クロックV6の波形を示し、同図(d)はアップ・ダウンカウンタ14に入力されるアップカウント動作クロックV11の波形を示し、同図(e)はアップ・ダウンカウンタ14に入力されるダウンカウント動作クロックV12の波形を示し、同図(f)はD/A変換回路9, 18のそれぞれの出力電圧V7, V13の波形を示し、同図(g)は電圧比較器19の出力信号V14の波形を示し、同図(h)は切換回路20の出力電圧の波形を示し、同図(i)は利得制御電圧V8の波形を示している。図11では、電圧比較器19の出力信号V14のレベルに応じて、D/A変換回路9, 18の出力電圧V7, V13が選択的に切換回路20の出力電圧として現れることを示している。

【0090】

図12(a), (b), (c)には、ある振幅を持った音Eに続き、音Eに対して小さな音Fが入力された場合における、入力信号VAと制御電圧V8と出力信号VBとの波形を図11よりもマクロ的に示している。

【0091】

図13(a), (b), (c)には、ある振幅を持った音EがAGC回路によって一定の振幅で安定しているところに、破裂音のような短時間に急峻な大きな音Gが入力された場合における、入力信号VAと制御電圧V8と出力信号VBとの波形を図11よりもマクロ的に示している。

【0092】

上記の第4の実施の形態の構成(図10)に、図4のフリップフロップ11を追加した構成、または図6のカウント動作制御回路13を追加した構成、カウント動作制御回路13に相当する機能をアップ・ダウンカウンタ5に内蔵させる構成を実施の形態としてあげることができる。

【0093】

また、上記の第4の実施の形態の構成（図10）に、図4のフリップフロップ11および図6のカウント動作制御回路13を追加した構成、フリップフロップ11を追加するとともにカウント動作制御回路13に相当する機能をアップ・ダウンカウンタ5に内蔵させる構成も実施の形態としてあげることができる。

【0094】

また、上記の第4の実施の形態の構成（図10）に、図4のフリップフロップ11を追加し、かつフリップフロップ11と同様の構成を有するレジスタを、電圧比較器19とアップ・ダウンカウンタ14の間に設けてもよい。その場合、電圧比較器の出力ノイズの影響をなくすために、切換回路20の入力もレジスタから入力されることが好ましい。

【0095】

また、上記第4の実施の形態の構成（図10）に、図6のカウント動作制御回路13を追加し、かつカウント動作制御回路13と同様の構成を有するカウント動作制御回路を電圧比較器19とアップ・ダウンカウンタ14の間に設けてもよい。さらに、電圧比較器19とアップ・ダウンカウンタ14との間に上記したレジスタおよびカウント動作制御回路の両方を、レジスタを電圧比較器19側に位置させた状態で設けてもよい。その場合、電圧比較器の出力ノイズの影響をなくすために、切換回路20の入力もレジスタから入力されることが好ましい。

【0096】

ここで、上述した構成のうち、いくつかを図14、図15および図16に示す。これらの図において、11Bはフリップフロップ、12Bは基準クロック入力端子、13Bはカウント動作制御回路であり、その他の構成は、先の実施の形態で説明したものと同様である。

【0097】

また、上記各実施の形態では、アップ・ダウンカウンタ5、14にアップカウント動作とダウンカウント動作とで、周期の異なる独立したクロックを入力する構成を示したが、アップカウント動作とダウンカウント動作とで同一のクロックを与えてもよい。この場合、アタックタイムおよびリカバリタイムを独立して調整することはできなくなるが、キャパシタを用いた積分回路を必要せ

ずにAGC回路を実現できる点等、それ以外の作用効果については、上記の各実施の形態と同様である。

【0098】

以上、本発明の具体的実施の形態について詳細に説明したが、本発明は、これら具体例に限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに、種々の変形が可能である。

【0099】

【発明の効果】

請求項1に記載の発明によれば、キャパシタを用いた積分回路を必要とせず、集積回路に内蔵することも容易である。さらに、アタックタイムおよびリカバリタイムを容易に調整することが可能な優れたAGC回路を提供することができる。

【0100】

請求項2に記載の発明によれば、請求項1に記載の発明と同様の効果が得られる上に、アタックタイムおよびリカバリタイムを独立して調整できる。

【0101】

請求項3に記載の発明によれば、請求項1または2に記載の発明と同様の効果が得られる上に、予め設定された入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、さらに高精度なAGC回路を提供することができる。

【0102】

請求項4に記載の発明によれば、請求項1または2に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0103】

請求項5に記載の発明によれば、請求項3に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供するこ

とができる。

【0104】

請求項6に記載の発明によれば、請求項1、2または請求項3に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れたAGC回路を提供することができる。

【0105】

請求項7に記載の発明によれば、キャパシタを用いた積分回路を必要とせず、集積回路に内蔵することも容易である。さらに、アタックタイムおよびリカバリタイムを容易に調整することが可能な優れたAGC回路を提供することができる。また、例えば音声信号処理に使用した場合、入力される連続した複数の信号に対して違和感の無い音声信号を提供できるさらに優れたAGC回路を提供することができる。

【0106】

請求項8に記載の発明によれば、請求項7に記載の発明と同様の効果が得られる上に、アタックタイムおよびリカバリタイムを独立して調整できる。

【0107】

請求項9に記載の発明によれば、請求項7または8に記載の発明と同様の効果が得られる上に、予め設定された入力信号のレベル変化に対する出力応答性よりも、短い時間での入力信号レベル変化には追従しない、さらに高精度なAGC回路を提供することができる。

【0108】

請求項10に記載の発明によれば、請求項7または8に記載の発明と同様の効果が得られる上に、切換回路およびアップ・ダウンカウンタの双方の動作が安定し、可変利得増幅回路の動作が安定するため、さらに優れたAGC回路を提供することができる。

【0109】

請求項11に記載の発明によれば、請求項7または8に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得

増幅回路の利得変化幅を任意に設定することのできるさらに優れた A G C 回路を提供することができる。

【 0 1 1 0 】

請求項 1 2 に記載の発明によれば、請求項 9 に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れた A G C 回路を提供することができる。

【 0 1 1 1 】

請求項 1 3 に記載の発明によれば、請求項 7, 8 または請求項 9 に記載の発明と同様の効果が得られる上に、アップ・ダウンカウンタのオーバーフローを防ぎ、可変利得増幅回路の利得変化幅を任意に設定することのできるさらに優れた A G C 回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の A G C 回路の構成を示すブロック図である。

【図 2】

図 1 に示す A G C 回路の動作を説明するための波形図である。

【図 3】

同じく図 1 に示す A G C 回路の動作を説明するための波形図である。

【図 4】

本発明の第 2 の実施の形態の A G C 回路の構成を示すブロック図である。

【図 5】

図 4 に示す A G C 回路の動作を説明するための波形図である。

【図 6】

本発明の第 3 の実施の形態の A G C 回路の構成を示すブロック図である。

【図 7】

図 6 に示す A G C 回路の動作を説明するための波形図である。

【図 8】

アップ・ダウンカウンタおよびカウント動作制御回路 1 3 の具体的な構成の一

例を示すブロック図である。

【図 9】

図 4 の構成にカウント動作制御回路を追加した A G C 回路の構成を示すブロック図である。

【図 1 0】

本発明の第 4 の実施の形態の A G C 回路の構成を示すブロック図である。

【図 1 1】

図 1 0 に示す A G C 回路の動作を説明するための波形図である。

【図 1 2】

同じく図 1 0 に示す A G C 回路の動作を説明するための波形図である。

【図 1 3】

同じく図 1 0 に示す A G C 回路の動作を説明するための波形図である。

【図 1 4】

図 1 0 の構成に 2 個のフリップフロップを追加した A G C 回路の構成を示すブロック図である。

【図 1 5】

同じく図 1 0 の構成に 1 個のフリップフロップと 2 個のカウント動作制御回路を追加した A G C 回路の構成を示すブロック図である。

【図 1 6】

図 1 0 の構成に 2 個のフリップフロップと 2 個のカウント動作制御回路を追加した A G C 回路の構成を示すブロック図である。

【図 1 7】

従来の A G C 回路の構成を示すブロック図である。

【符号の説明】

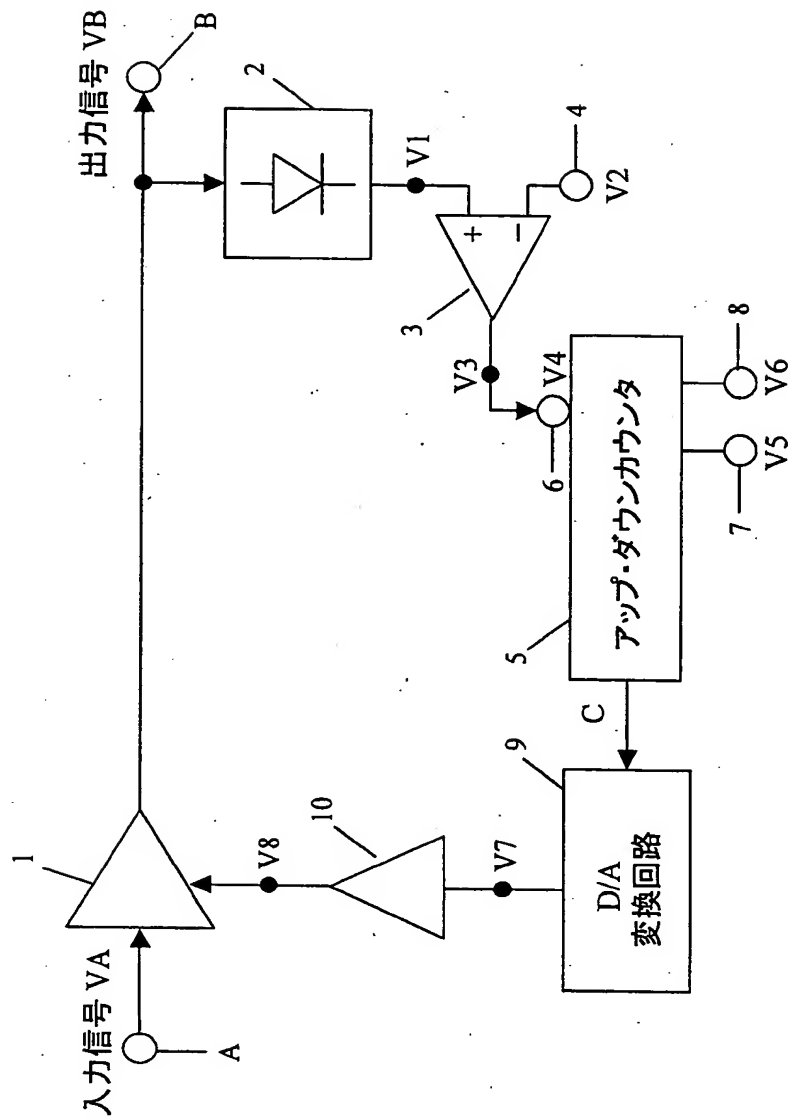
- 1 可変利得増幅回路
- 2 整流回路
- 3 第 1 の電圧比較器
- 4 閾値電圧入力端子
- 5 第 1 のアップ・ダウンカウンタ

- 6 アップ・ダウン動作制御入力端子
- 7 アップカウント動作用クロック入力端子
- 8 ダウンカウント動作用クロック入力端子
- 9 第 1 の D / A 変換回路
- 1 0 直流増幅回路
- 1 1 フリップフロップ
- 1 2 基準クロック入力端子
- 1 3 カウント動作制御回路
- 1 4 第 2 の アップ・ダウンカウンタ
- 1 5 アップ・ダウン動作制御入力端子
- 1 6 アップカウント動作用クロック入力端子
- 1 7 ダウンカウント動作用クロック入力端子
- 1 8 第 2 の D / A 変換回路
- 1 9 第 2 の電圧比較回路
- 2 0 切換回路
- 3 1 可変利得増幅回路
- 3 2 整流回路
- 3 3 積分回路
- 3 4 抵抗器
- 3 5 キャパシタ
- 3 6 直流増幅回路
- 3 7 基準電圧入力端子
- A 信号入力端子
- B 出力信号端子
- A 1 信号入力端子
- B 1 出力信号端子

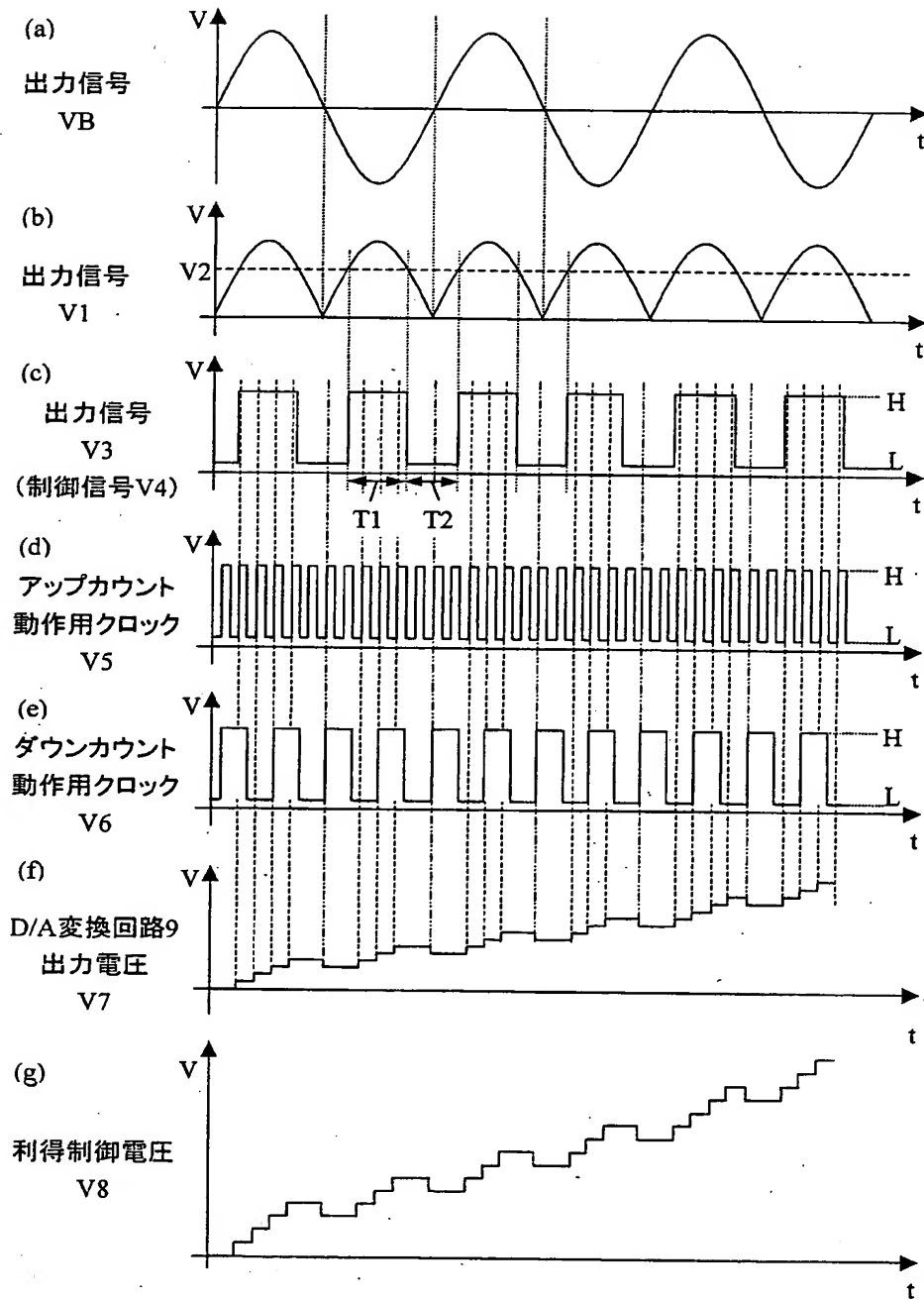
【書類名】

図面

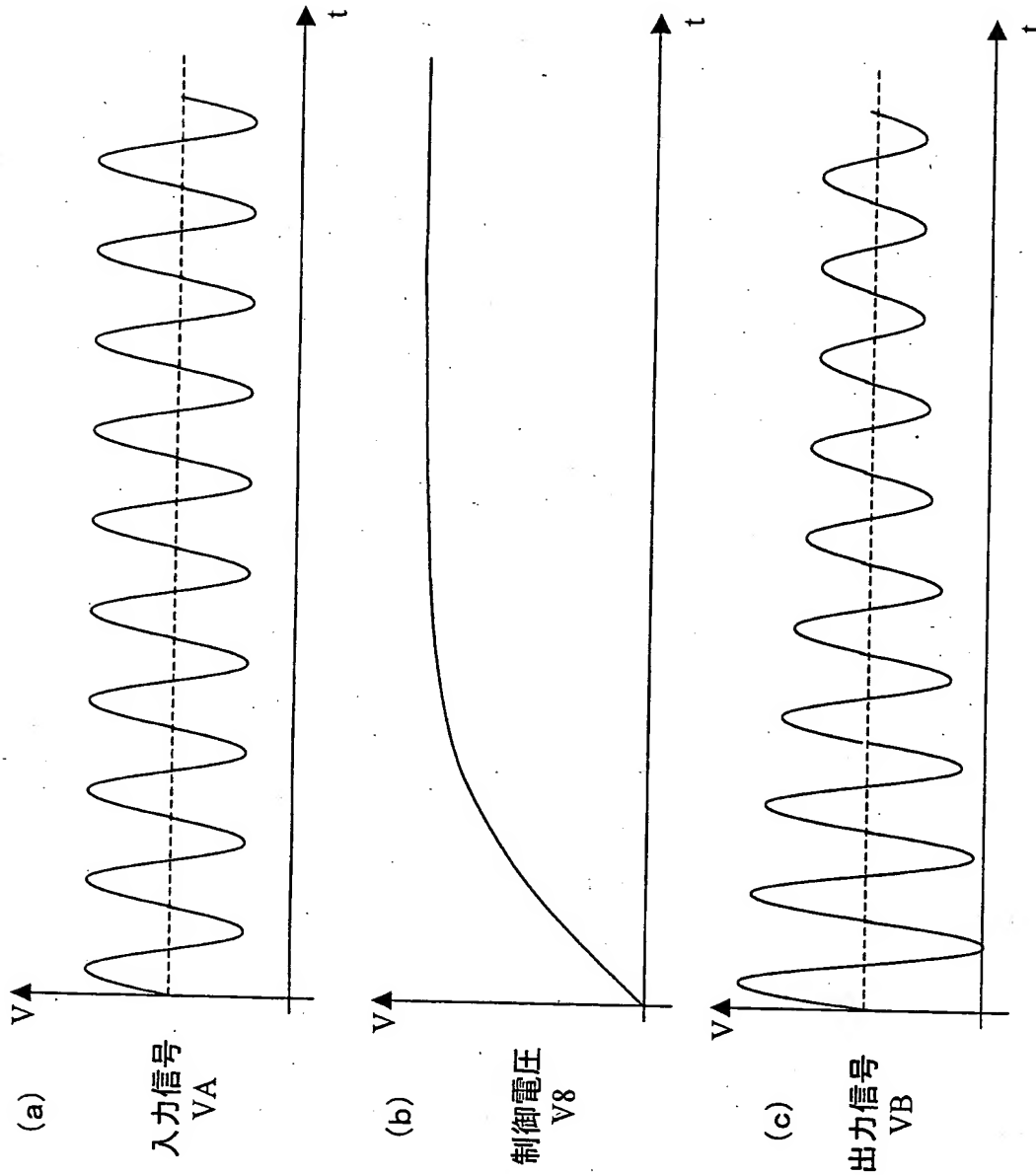
【図 1】



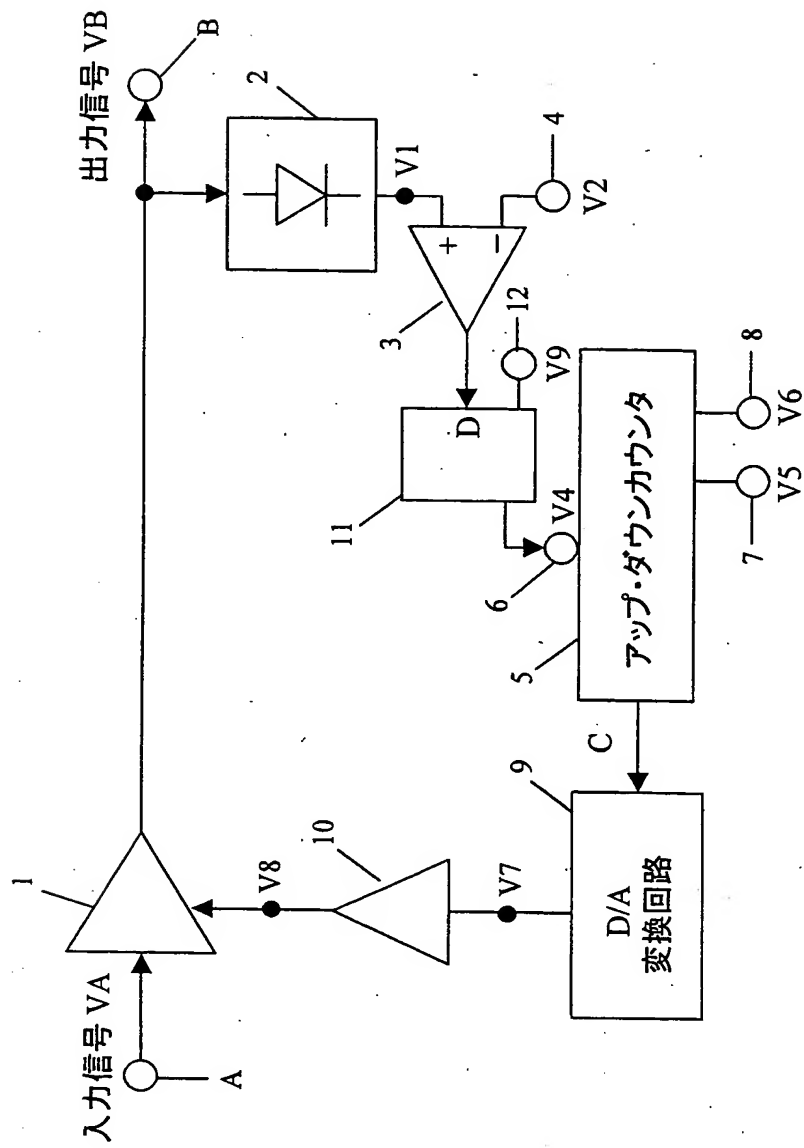
【図 2】



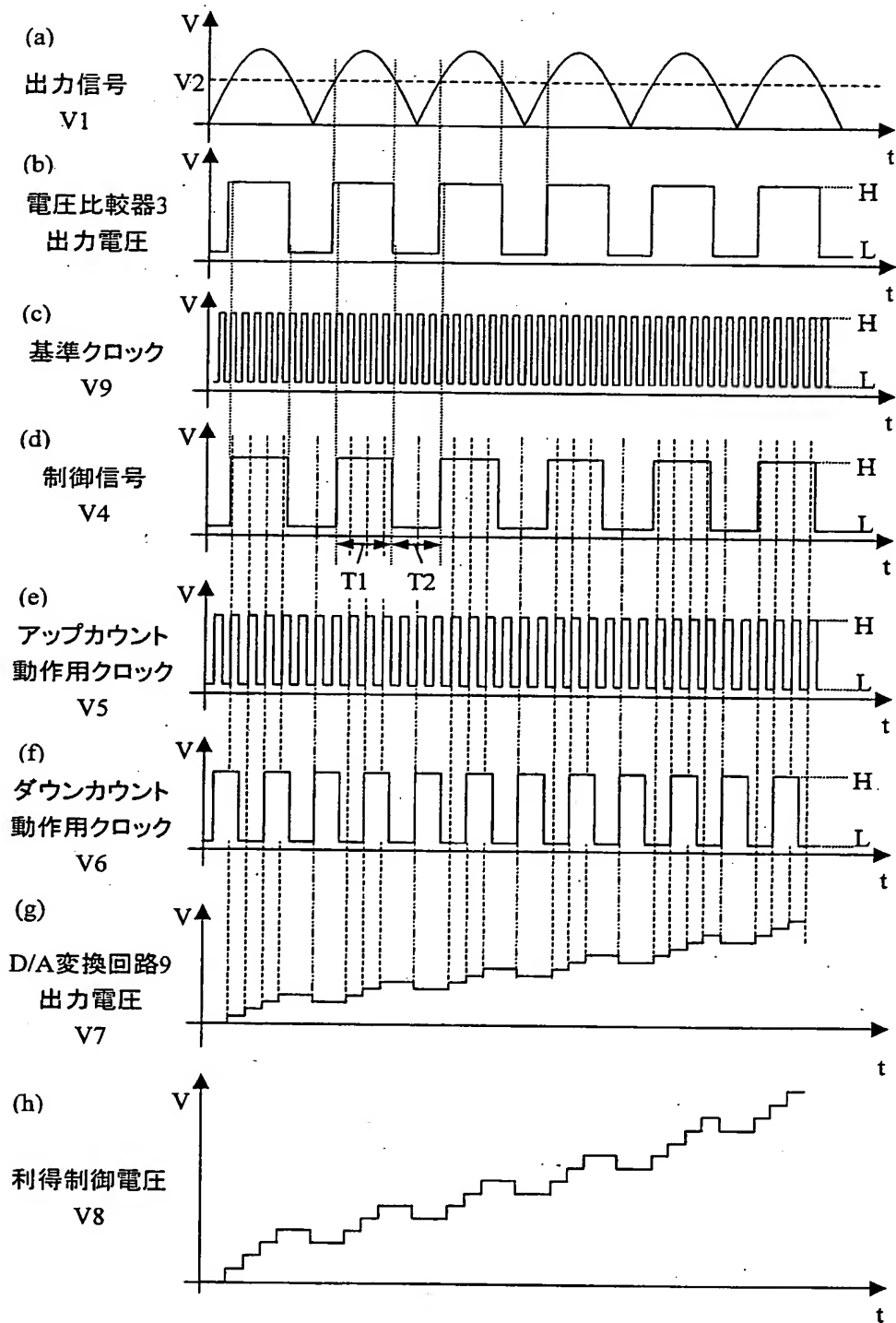
【図 3】



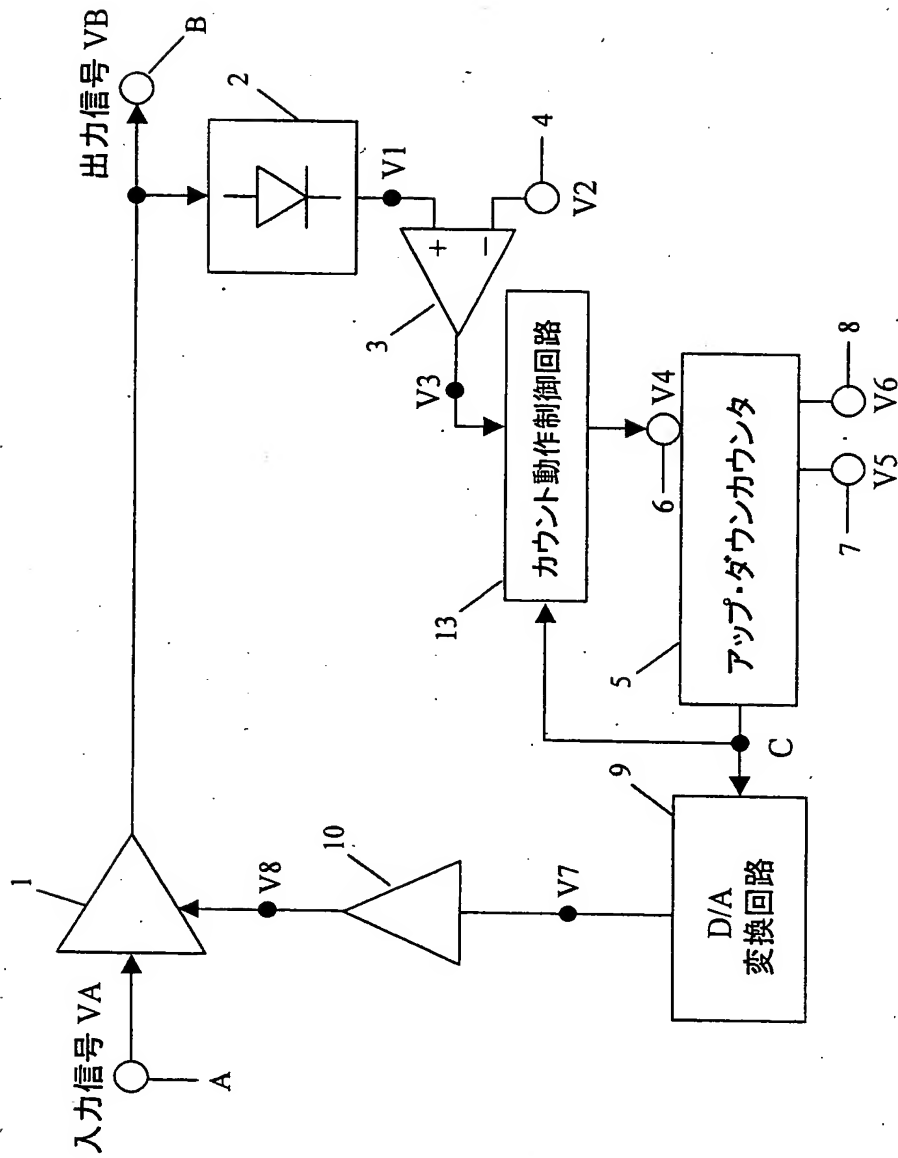
【図 4】



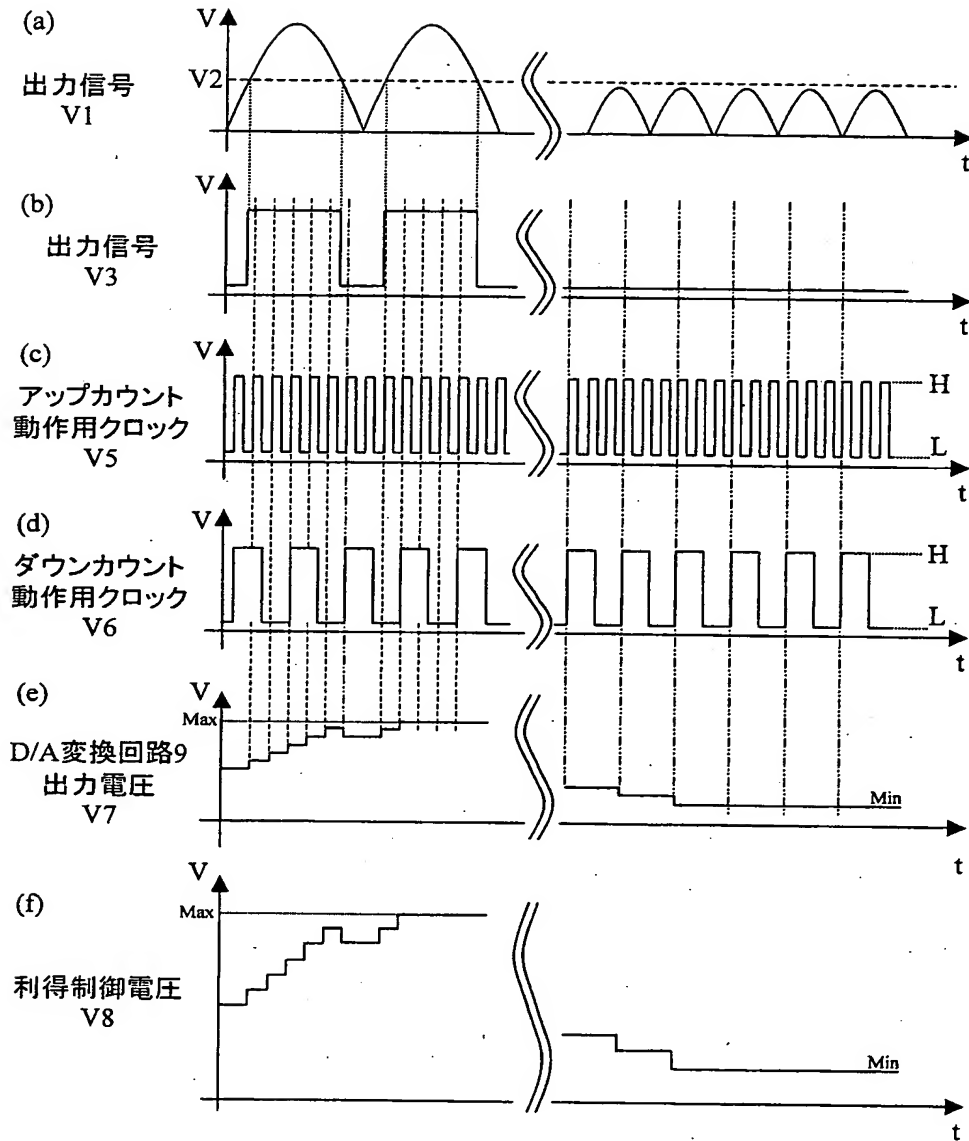
【図 5】



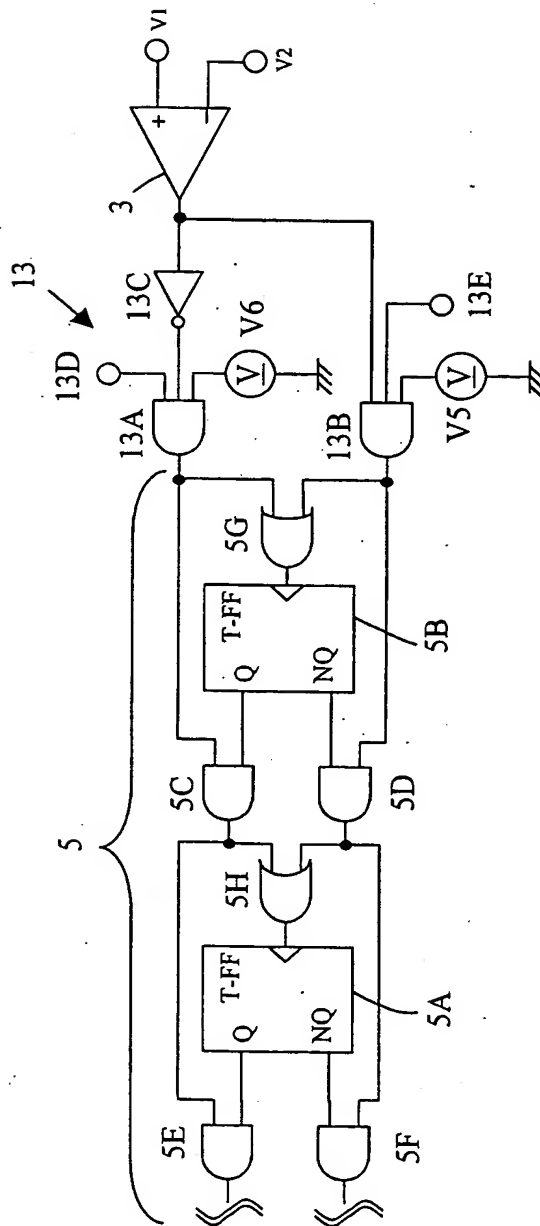
【図 6】



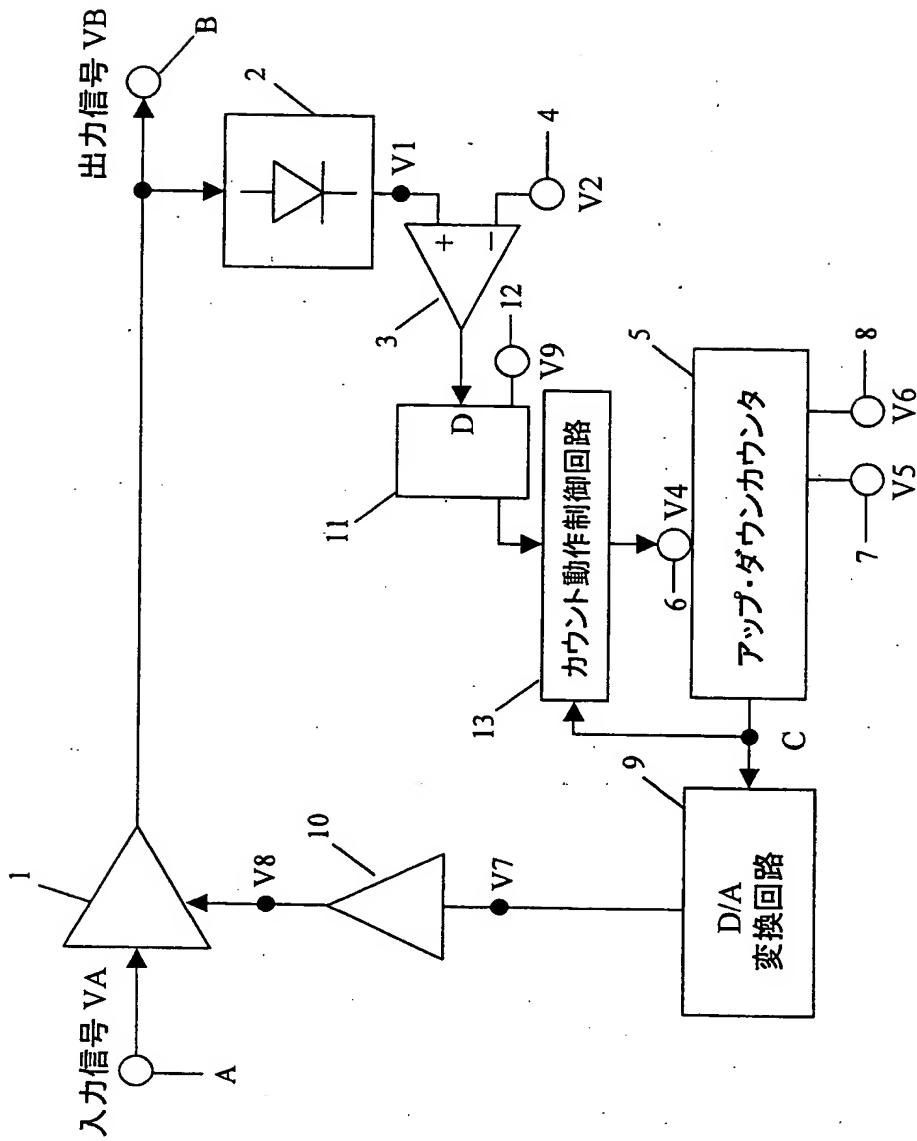
【図 7】



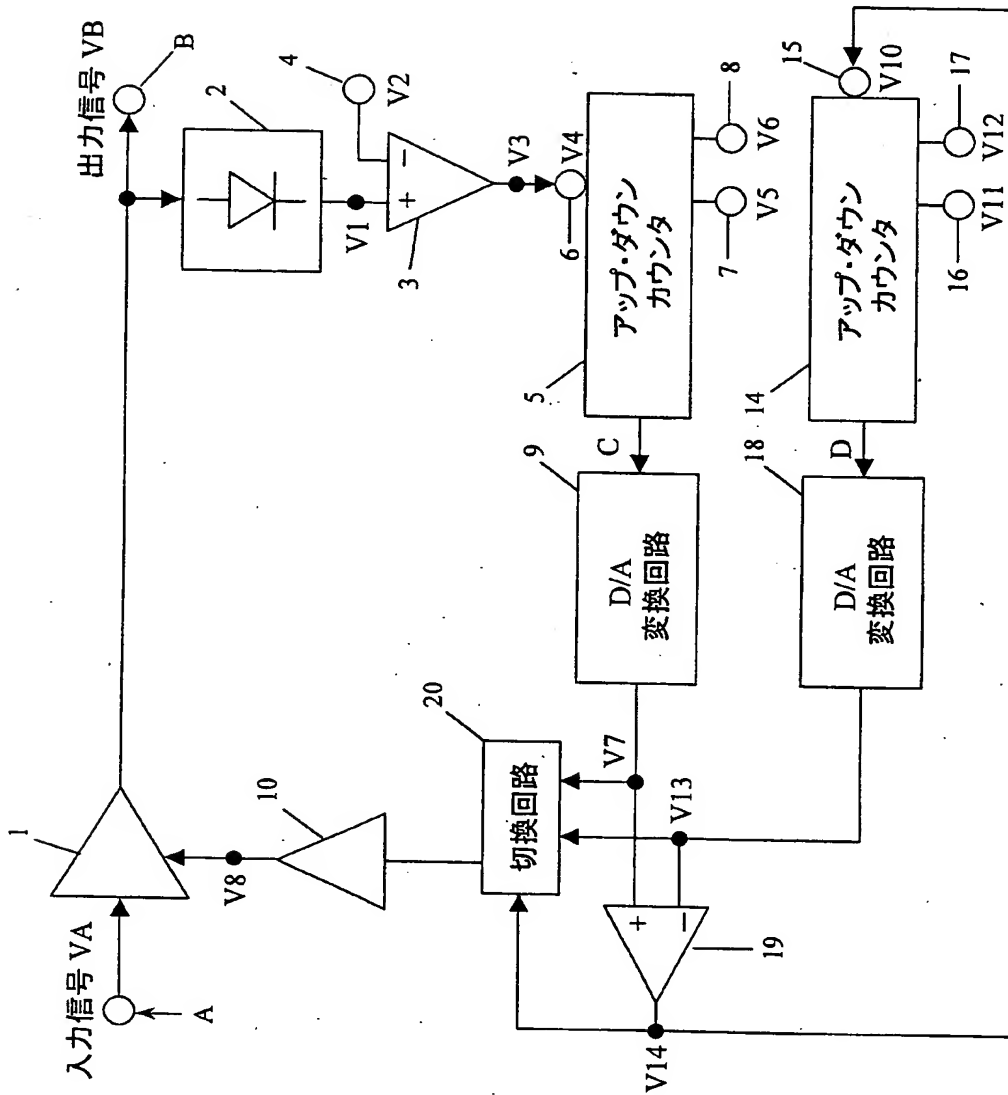
【図 8】



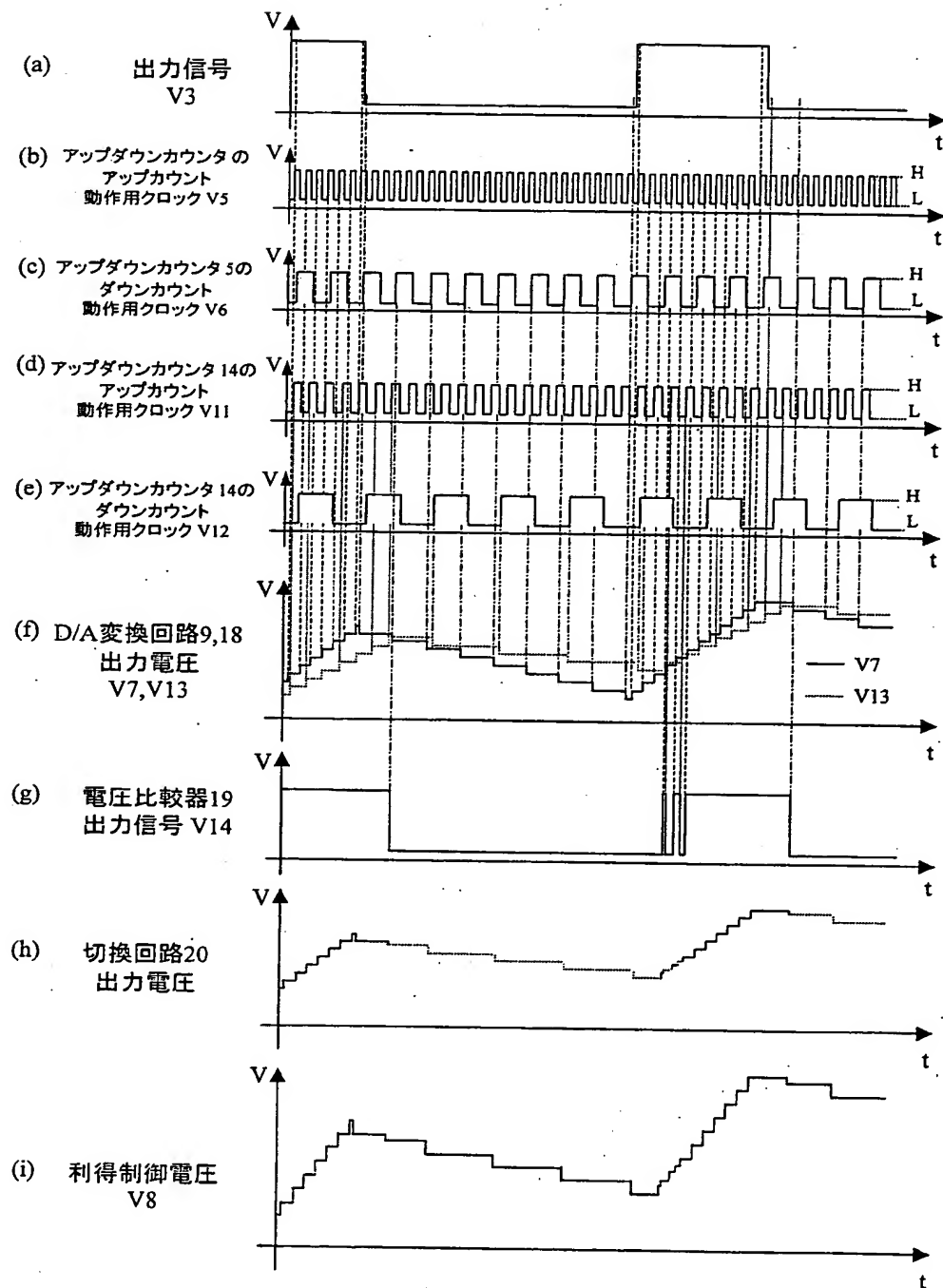
【図 9】



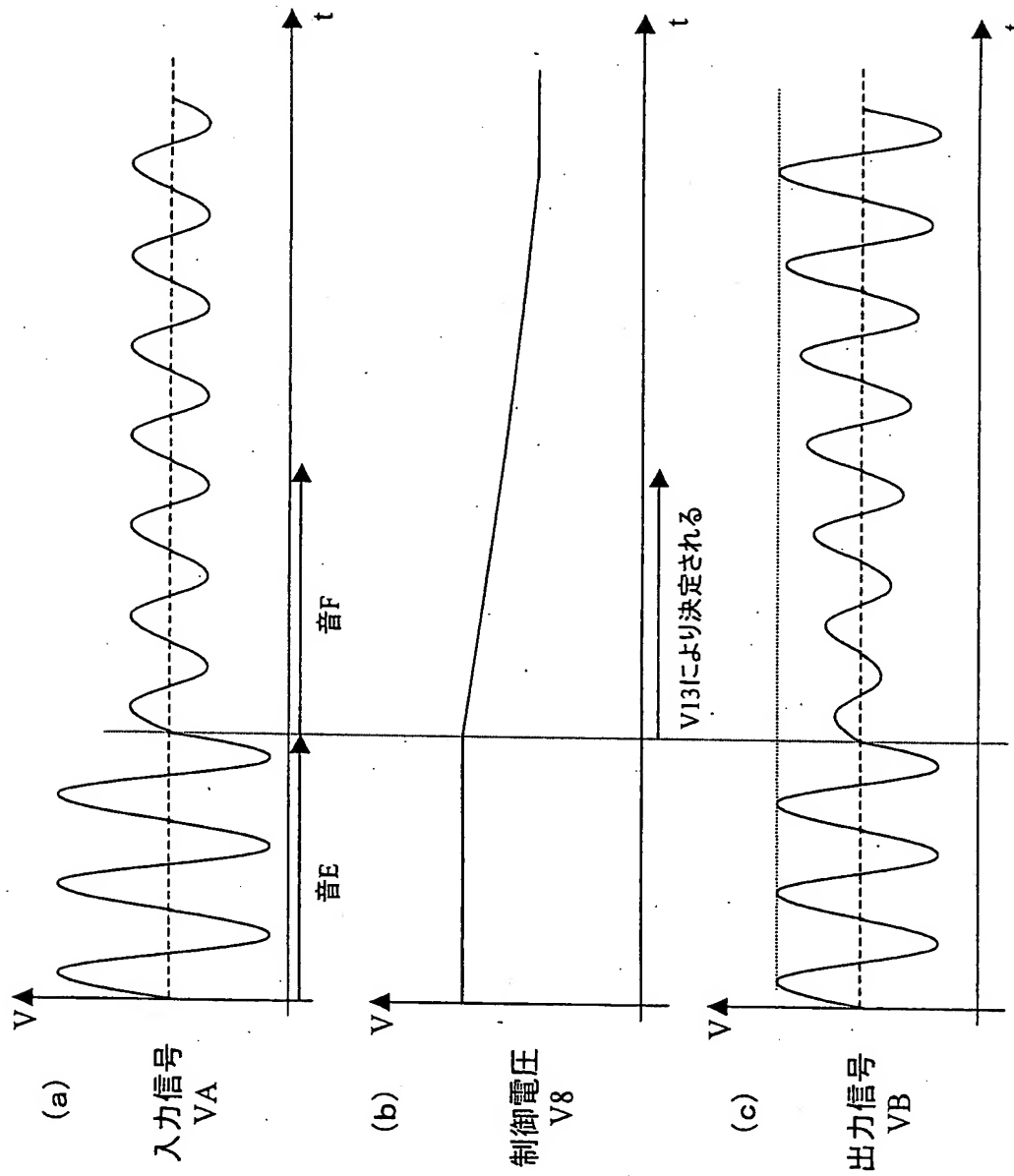
【圖 10】



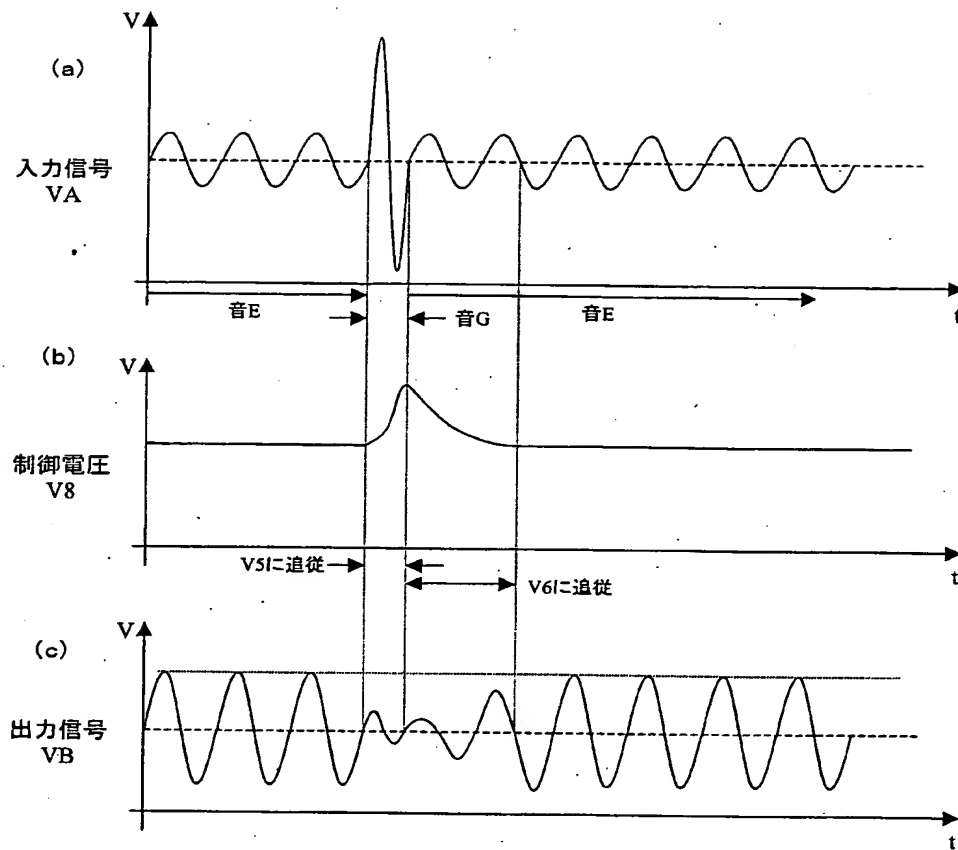
【図 11】



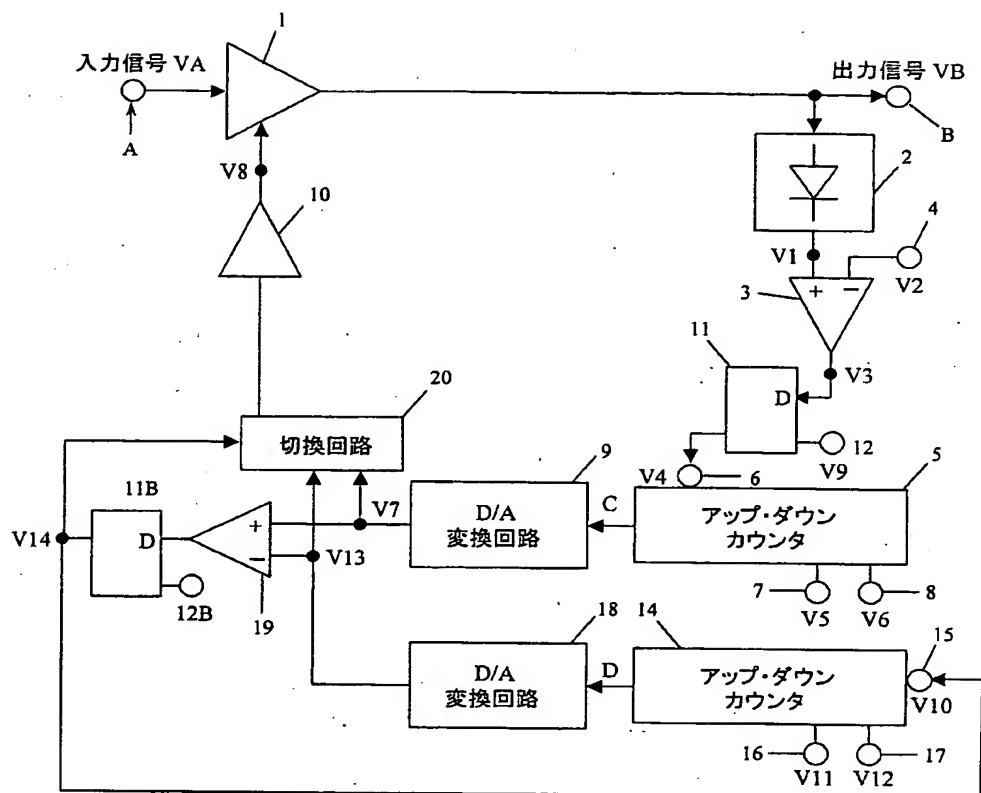
【図 12】



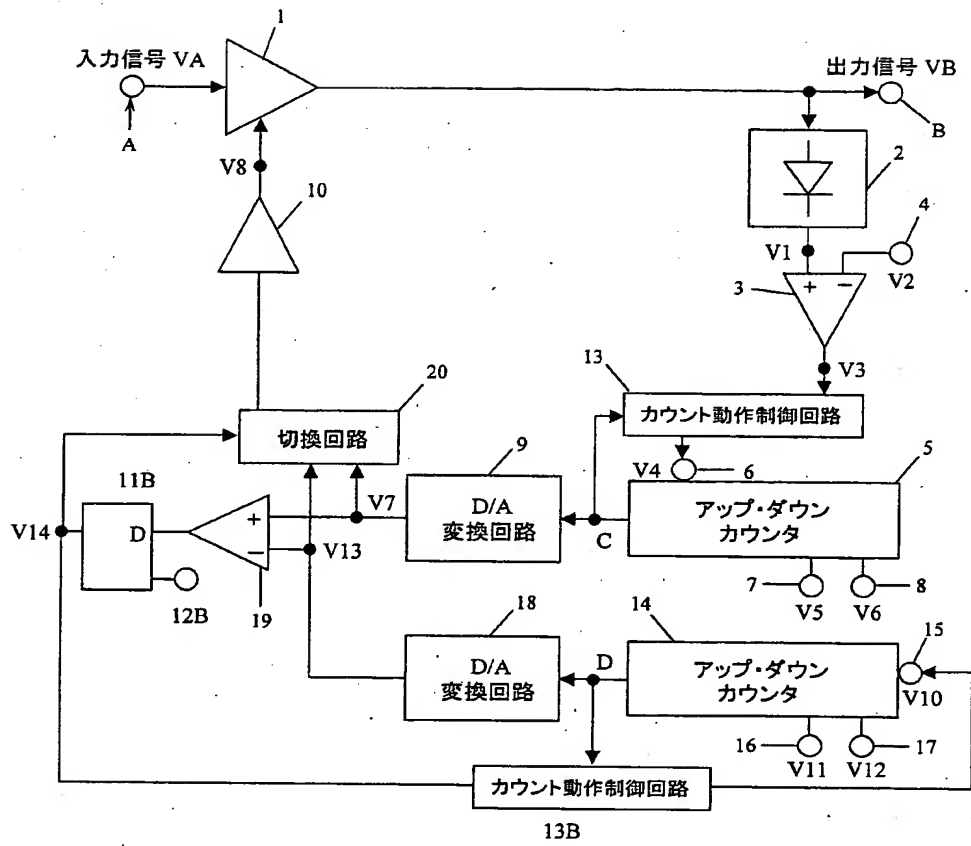
【図 13】



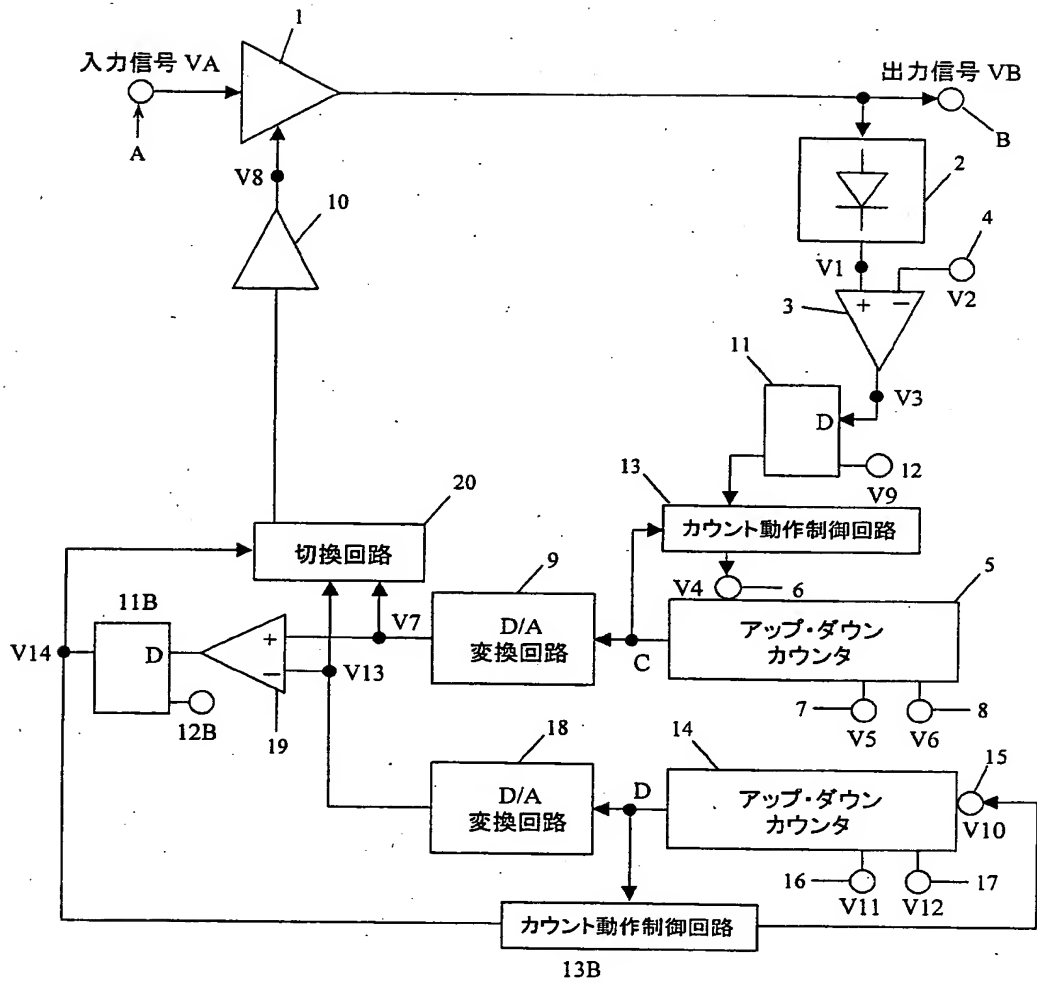
【图 14】



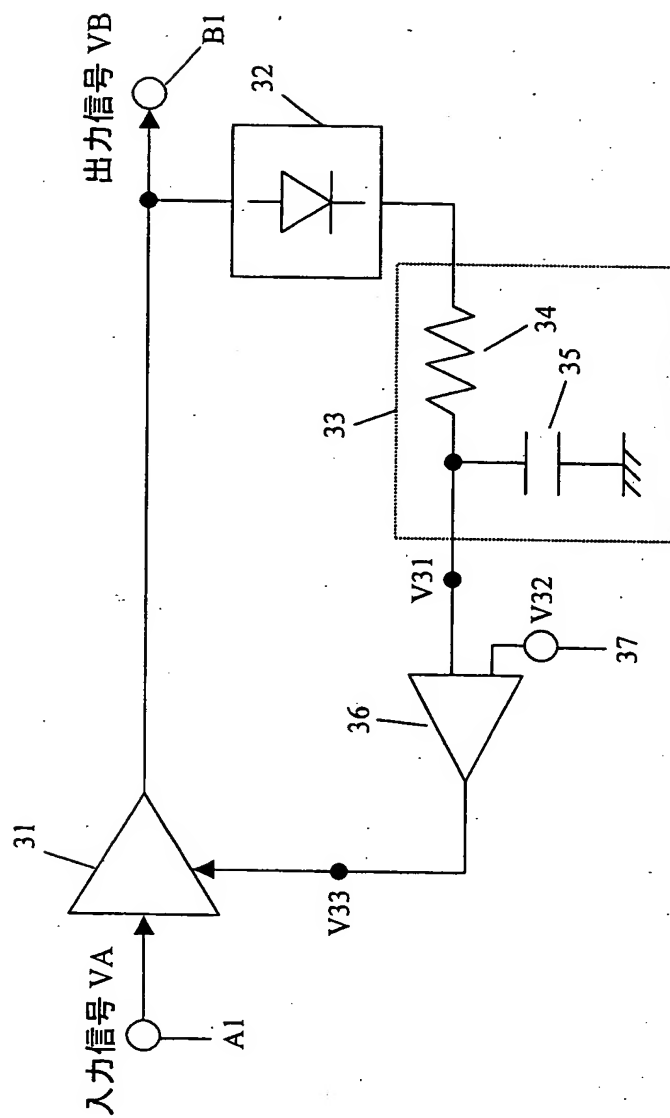
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 抵抗器とキャパシタから構成される積分回路を必要としないAGC回路を提供する。

【解決手段】 利得制御電圧V8により制御される可変利得制御回路1で入力信号を増幅しまたは減衰させるときに、可変利得増幅回路1の出力信号を整流回路2で整流し、整流回路2の出力信号と任意に設定した電圧とを電圧比較器3で比較する。電圧比較器3の出力信号でアップ・ダウンカウンタ5のアップカウント動作とダウンカウント動作とを切換制御し、アップ・ダウンカウンタ5のカウント値に応じた電圧をD/A変換回路5から出力する。そして、D/A変換回路5から出力される電圧に対応した利得制御電圧V8を可変利得増幅回路1に供給する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-064980
受付番号	50300393515
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 3月12日

<認定情報・付加情報>

【提出日】	平成15年 3月11日
-------	-------------

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社